

TREBALL FI DE GRAU

Grau en Enginyeria Electrònica Industrial i Automàtica

AMPLIFICADOR DIGITAL DE CLASSE D AMB REDUCCIÓ DE SOROLL DE QUANTIFICACIÓ



Memòria i Annexos

Autor: Gerard Rivera Vila
Director: Jordi Cosp Vilella
Convocatòria: Juny 2019

Resum

Aquest projecte es basa en la realització d'un amplificador d'àudio de classe D. Aquest tipus d'amplificadors poden arribar a oferir un rendiment molt elevat, comportant un gran interès comercial en la seva implementació. L'inconvenient que presenten és la limitació de la qualitat del so, i les nombroses aparicions de soroll i distorsió durant el procés d'amplificació. És necessari l'ús de tècniques de processat de senyal si es busca una resposta de qualitat. En especial es tracta el soroll de quantificació, que apareix a l'hora d'atribuir valors discrets a les mostres obtingudes digitalment. La implementació digital es realitza mitjançant una FPGA.

Es parteix d'una etapa recepció del senyal i es treballa en el processat d'aquest amb la FPGA, per a finalment realitzar una etapa de sortida analògica que desemboca en un altaveu. El senyal prové d'un ordinador amb sortida d'àudio digital S/PDIF.

S'engloben diversos àmbits com el processament digital de senyals, l'electrònica analògica i el disseny digital amb l'objectiu de poder reproduir música d'una forma eficient.

Resumen

Este proyecto se basa en la realización de un amplificador de audio de clase D. Este tipo de amplificadores pueden llegar a ofrecer un rendimiento muy elevado, comportando un gran interés comercial en su implementación. El inconveniente que presentan es la limitación de la calidad del sonido, y las múltiples fuentes de ruido y distorsión a lo largo del proceso de amplificación. Es necesario el uso de técnicas de procesado de señal si se busca una respuesta de calidad. En especial se trata el ruido de cuantificación, que aparece a la hora de atribuir valores discretos a las muestras obtenidas digitalmente. La implementación digital se realiza mediante una FPGA.

Se partirá de una etapa de recepción de la señal y se trabajará en el procesado de ésta, para finalmente realizar una etapa de salida analógica que desemboca en un altavoz. La señal proviene de un ordenador con salida de audio digital S/PDIF.

Se engloban diversos ámbitos como el procesamiento digital de señales, la electrónica analógica y el diseño digital con el objetivo de poder reproducir música de una forma eficiente.

Abstract

This project is based on the realization of a Class D audio amplifier. This type of amplifiers can offer a very high performance, with a great commercial interest in its implementation. The inconvenient that they present is the limitation of the sound quality, and the numerous appearances of noise and distortion during the amplification process. It is necessary to use signal processing techniques if a quality response is sought. In particular, quantization noise is treated, which appears when giving discrete values to digitally obtained samples. Digital implementation is performed using a FPGA.

It starts from a signal reception stage, and working through its processing with the FPGA, finally to perform an analogue output stage that flows into a speaker. The signal comes from a computer with S/PDIF digital audio output.

Various disciplines such as digital signal processing, analogue electronics and digital design are covered with the aim of being able to play music in an efficient way.

Agraïments

Aprofito aquestes línies per agrair al meu tutor Jordi Cosp tota la ajuda proporcionada al llarg del projecte, que no ha estat poca. El seus consells i la seva accessibilitat m'han permès avançar i visualitzar les coses de forma més clara.

També als companys del laboratori 10.3 Fahad, Marina i Toni per tota la convivència i ajuda d'aquestes últimes setmanes. Ha estat una sort coincidir amb ells, m'enduc un bon record de les hores invertides en aquest laboratori.

Per últim agrair a tothom qui ha sigut partícip de forma directa o indirecta en el projecte. A la meva família, parella i amics i companys pel seu interès, ànims i consells. Sense ells no hauria pogut tirar endavant, moltes gràcies a tots.

Glossari

- **2C:** Two's Complement
- **AES/EBU:** Audio Engineering Society / European Broadcasting Union
- **BMC:** Biphase Mark Code
- **BTL:** Bridge-Tied Load
- **DAT:** Digital Audio Tape
- **DFT:** Discrete Fourier Transform
- **DSP:** Digital Signal Processing
- **DTFT:** Discrete Time Fourier Transform
- **FFT:** Fast Fourier Transform
- **FIR:** Finite Impulse Response
- **FPGA:** Field Programmable Gate Array
- **GaN FET:** Gallium Nitride Field Effect Transistor
- **IIR:** Infinite Impulse Response
- **IP:** Intellectual Property
- **LSB:** Least Significant Bit
- **MASH:** Multi-Stage Noise Shaping
- **MOSFET:** Metal Oxide Semiconductor Field Effect Transistor
- **MSB:** Most Significant Bit
- **NPWM:** Natural Pulse Width Modulation
- **OSR:** Over Sampling Rate
- **PCM:** Pulse Code Modulation
- **PWM:** Pulse Width Modulation
- **SNR:** Signal to-Noise Ratio
- **S/PDIF:** Sony/Philips Digital Interface Format
- **UPWM:** Uniform Pulse Width Modulation
- **THD:** Total Harmonic Distortion

Índex

RESUM	I
RESUMEN	II
ABSTRACT	III
AGRAÏMENTS	IV
GLOSSARI	V
1. INTRODUCCIÓ	1
1.1. Introducció al projecte.....	1
1.2. Amplificadors de classe D	2
Modulació PWM, altes freqüències i soroll de quantificació.....	4
1.3. FPGA.....	5
1.4. Amplificadors de classe D comercials	7
1.5. Proposta de resolució	8
2. FONAMENT TEÒRIC	10
2.1. Senyals.....	10
Delta de Dirac i equació de convolució.....	10
Domini freqüencial. Transformada de Fourier	12
Mostreig. Justificació matemàtica.....	13
Teorema de mostreig de Shannon-Nyquist	14
2.2. Quantificació	15
Error/soroll de quantificació	15
Càlcul teòric del SNR	16
2.3. Filtres digitals.....	18
Filtres FIR (Finite Impulse Response)	18
Filtres IIR (Infinite Impulse Response).....	19
2.4. Circuits digitals de càlcul aritmètic.....	20
Coma fixa i coma flotant	20
Complement a 2 (2C)	21
Multiply-Accumulate (MAC)	22
Segmentació o pipelining.....	22
3. ETAPA D'ENTRADA I RECEPCIÓ DEL SENYAL	24
3.1. Senyal S/PDIF.....	24
3.1. Condicionament del senyal	26
3.2. Entitat receptora	27
4. SOBREMOSTREIG I INTERPOLACIÓ	29
4.1. Principi de funcionament	29

4.2.	Entitat de sobremostreig.....	31
4.3.	Filtrat d'interpolació.....	32
4.4.	Mòdul de filtrat	34
5.	QUANTIFICACIÓ. NOISE SHAPING	36
5.1.	Dithering	36
5.2.	Noise Shaping	37
5.3.	Implementació del Noise Shaping	42
6.	DELMAT	45
6.1.	Principi de funcionament	45
6.2.	Entitat delmat.....	46
7.	MODULACIÓ PWM	48
7.1.	UPWM i NPWM.....	48
7.2.	Entitat PWM.....	49
8.	ETAPA DE SORTIDA	52
8.1.	Driver de sortida	52
8.2.	Circuit en pont complet.....	54
8.3.	Filtre LC	55
8.4.	Proposta d'etapa de sortida. Càlcul i dimensionat de components.....	56
	Driver.....	56
	BTL i filtre	58
	Potència de sortida i tensions d'alimentació	59
9.	IMPLEMENTACIÓ I RESULTATS	61
9.1.	Implementació física.....	61
9.2.	Implementació digital.....	65
9.3.	Anàlisi dels resultats.....	66
9.4.	Possibles canvis i millores	67
10.	ANÀLISI DE L'IMPACTE AMBIENTAL	68
10.1.	Contaminació acústica	68
10.2.	Elaboració del prototip	70
	CONCLUSIONS	71
	PRESSUPOST	73
	Cost de la elaboració del prototip	73
	Cost tècnic.....	75
	Costos totals.....	76

BIBLIOGRAFIA	77
ANNEXOS	81

1. Introducció

1.1. Introducció al projecte

La recerca de la eficiència és un pilar fonamental en la majoria de dispositius electrònics. Ja sigui per a una millor integració, abaratiment del producte o portabilitat; el compromís amb l'estalvi energètic es tradueix en optimització de recursos i va en consonància amb les tendències de mercat. Posant per cas l'amplificador d'àudio de classe D, la topologia més eficient de les possibles en amplificadors d'àudio, aquest es pot trobar actualment en la majoria de dispositius portàtils i telèfons mòbils. L'aprofitament de la potència subministrada evita l'ús de grans bateries, comportant un major aprofitament de l'espai.

No obstant, la possibilitat d'incloure'ls en dispositius d'ús comercial ha estat recent. L'avantatge de l'eficiència es veu contrarestat per una qualitat de so inferior a les altres configuracions d'amplificadors d'àudio. Tècniques de processament de senyal han estat demostrades com a útils de cara a millorar el comportament de l'amplificador. La barrera entre rendiment i qualitat ja no és obstacle, i sectors comercials i audiòfils estan cedint davant l'atractiva proposta.

És necessari disposar d'un senyal analògic de cara traduir-la en vibracions acústiques mitjançant un altaveu. Tot i així, la digitalització del procés d'amplificador resulta versàtil i ofereix una flexibilitat de la qual els amplificadors completament analògics no disposen. Encara existeix molt marge de millora i les fonts d'àudio acostumen a ser sortides de línia analògiques, motiu pel qual els amplificadors de classe D controlats digitalment solen trobar-se en projectes d'investigació i no tant en aplicacions comercials.

Aquest projecte neix de l'existència d'un projecte similar realitzat l'any 2011. L'amplificador no va obtenir la resposta esperada degut a limitacions físiques a les altes velocitats amb les que es treballen. Personalment, tot i el meu desconeixement sobre el tema, ja tenia interès en el món de l'àudio. Realitzar un amplificador amb una etapa intermèdia dedicada al tractament del senyal em va semblar una idea atractiva. Més encara tenint en compte que és un treball complet on hi intervenen diversos àmbits de l'electrònica.

Els objectius principals que es pretenen obtenir amb la seva realització són els següents:

- Poder implementar diferents les diferents etapes analògiques i digitals correctament
- Aconseguir un so de qualitat raonable a la sortida
- Seguir una metodologia de treball raonable que permeti complir els terminis amb marges de seguretat.
- Desenvolupar un projecte de llarga durada de forma autònoma
- Ampliar coneixements de disseny digital d'alt nivell i de programació amb FPGA
- Aprendre de forma autònoma fonaments d'àudio digital i processament de senyals com a camp d'interès.

A l'hora de definir l'abast del projecte cal dir que aquest ofereix múltiples possibilitats. Com s'haurà pogut observar, es pot dividir en diverses parts i es treballa en més d'un àmbit. De cara al disseny i implementació s'ha buscat la practicitat, preveient la complexitat de realització. No s'ha enfocat en excés en la matemàtica que hi ha darrere, que pot arribar a ser molt extensa i detallada. No obstant, part d'aquesta resulta indispensable per a la comprensió conceptual de molts aspectes treballats, així que s'hi inclou una breu justificació i referències.

S'ha procurat enfocar el projecte de forma seqüencial i sintètica, oferint una visió general de totes les parts; procurant donar una visió teòrica i pràctica que resulti coherent i a la vegada efectiva de cara a complir els objectius proposats.

1.2. Amplificadors de classe D

En un amplificador de classe D, la entrega de potència a la càrrega (altaveu) es realitza a través de transistors en règim de commutació. Això implica l'absència teòrica de pèrdues (menyspreant la resistència interna dels transistors i les pèrdues de commutació), ja que idealment quan el transistor està conduint no té caiguda de tensió, i quan està en tall no hi circula corrent. És necessari que la senyal vingui donada com a un tren de polsos, motiu pel qual es requereix d'una modulació prèvia. La modulació referida en aquest document és la modulació per ample de pols (PWM).

El senyal modulat passa per un filtre format per una inductància i un condensador abans d'atacar un altaveu. Aquest filtre suavitzta el senyal recuperant-lo en la seva forma original. Cal notar que els components del filtre són reactius, evitant dissipació. Es busca que la única dissipació de potència la produeixi l'altaveu.

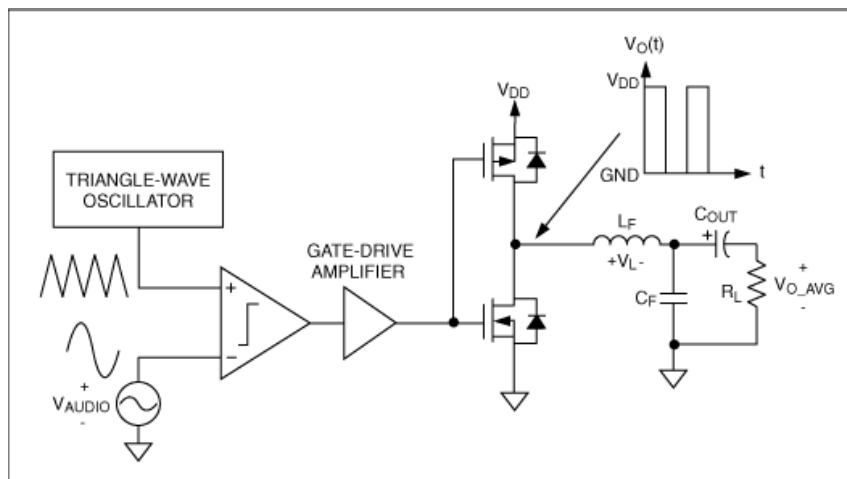


Figura 1.- Topologia d'un amplificador de classe D. Font: [25]

Altres tipus d'amplificadors d'àudio com els de classe A, o AB no tenen tanta eficiència però gaudeixen d'una major linealitat, obtenint una resposta a la sortida proporcional a l'entrada, i pràcticament gaudint de l'absència de distorsió.

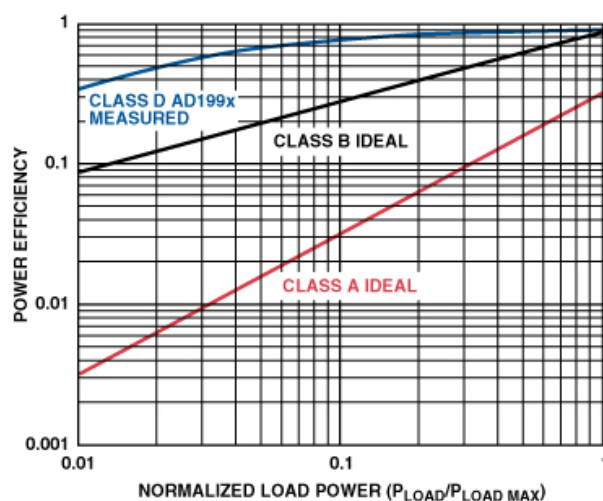


Figura 2.- Gràfica comparativa d'eficiència teòrica d'amplificadors de classe A i B enfront d'un model comercial de classe D. Font: [24]

Quan la font de senyal és digital, és preferible realitzar el procés de modulació digitalment, ja que resulta més còmode que no haver de passar al domini analògic. Cal tenir en compte que la transmissió i recepció de senyals d'àudio en equips digitals segueixen un protocol determinat.

Un senyal d'àudio digital, consta d'una cadena de bits mostrejada a una freqüència determinada. La modulació requereix d'un dispositiu que permeti treballar a altes freqüències, que solen ser processadors digitals de senyals o FPGA. La sortida es du a l'etapa de potència amb transistors i finalment el filtrat.

Modulació PWM, altes freqüències i soroll de quantificació

Quan el senyal es vol modular en PWM, cal comparar-la amb una altre a major freqüència, que sol ser una ona amb forma triangular o dent de serra. L'ona original s'anomena moduladora, i la de major freqüència, portadora.

La forma d'ona resultant serà rectangular degut al procés de comparació que només permet dos estats: estat alt quan la moduladora és en amplitud major a la portadora, i estat baix quan la situació és inversa. Així, es tindrà un senyal binari apte per a commutació, amb un ample de pols proporcional a la moduladora. La figura 3 n'és un exemple més il·lustratiu:

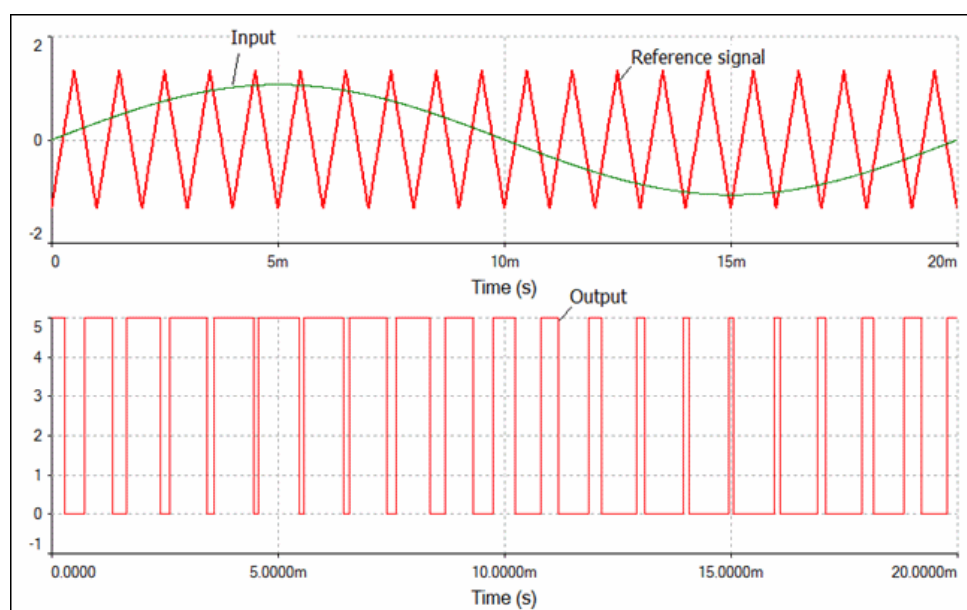


Figura 3.- Formes d'ona en el procés de modulació PWM. Font: [17]

Com es pot observar, els cicles on està durant més temps en estat alt són els que la ona moduladora té major amplitud.

Quan el senyal d'entrada és digital, és necessari processar tots els possibles valors que pot tenir, per a cada període de la portadora. A més, cal tenir en compte que per a un filtrat convenient la freqüència de la portadora ha de ser suficientment elevada. Això comporta el següent problema:

Si per exemple es té un senyal digital amb un nombre de bits relativament elevat com l'àudio CD (16 bits), i es treballa amb una portadora de 192 kHz, es necessita una velocitat de rellotge per a processar la informació de $2^{16} * 192 \text{ kHz} = 12,58 \text{ GHz}$. Una freqüència d'aquesta magnitud no és assolible. Rellotges de dispositius com FPGA arriben a centenars de MHz, i les freqüències de commutació dels transistors MOSFET no solen excedir uns quants MHz.

És necessària una reducció del nombre de bits, però aquest fet anirà en detriment de la qualitat obtinguda. La quantificació, el procés d'assignar valors discrets d'amplitud tindrà un error més gran al reduir-se el conjunt de valors en els quals la senyal pot ser assignada. Aquest error pot considerar-se soroll, i és la principal limitació de qualitat dels amplificadors de classe D digitals. La solució proposada té com a objectiu principal reduir el soroll de quantificació.

1.3. FPGA

Les FPGA (*Field Programmable Gate Array*) són dispositius de silici programables, amb blocs lògics interns i recursos per al direccionalment i interconnexió d'aquests per a una configuració determinada. La seva velocitat d'execució d'instruccions és molt elevada, superior a unitats CPU i GPU; i resulta idònia per a aplicacions de processament digital de senyal.

El llenguatge de programació utilitzat és el VHDL (*Very High Speed Integrated Circuit – Hardware Description Language*), el qual permet descriure el comportament de la FPGA mitjançant la descripció de la configuració mencionada. El dispositiu sintetitza el codi descrit i el tradueix als blocs lògics dels quals disposa per a la implementació. L'entorn de programació utilitzat és el *Vivado Design Suite*, de Xilinx.

La FPGA utilitzada és la Artix-7, amb una velocitat de rellotge de 100 MHz. La placa de desenvolupament on s'utilitza és la Nexys 4 DDR. Interessa l'ús dels ports d'entrades i sortides per a la connexió amb les etapes d'entrada i sortida, així com també resulten útils indicadors LED, interruptors i polsadors.

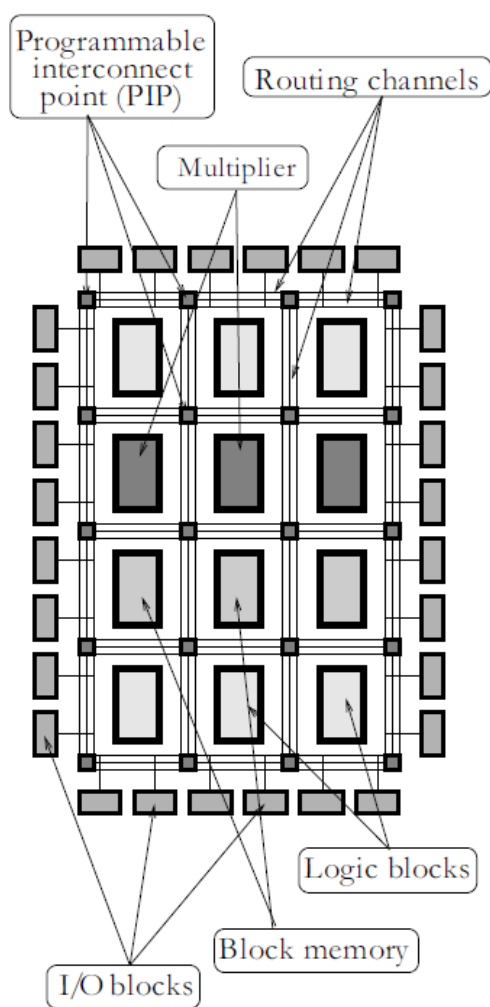


Figura 4.- Arquitectura genèrica d'una FPGA. Font: [3]

1.4. Amplificadors de classe D comercials

Actualment, els amplificadors de classe D comercials ja tenen una qualitat de so equiparable als de classe A o AB. Noves tècniques de modulació permeten la omissió del filtre LC, ja que aquest sol ocupar espai, i té un cost elevat. Les conseqüències d'aquest fenomen són freqüències més altes de commutació i més interferències electromagnètiques. Tot i així, a través de modulacions d'espectre eixamplat i diversos mecanismes de realimentació, entre altres mètodes, s'aconsegueix una reducció de les interferències, així com també de distorsió harmònica.

La substitució de transistors MOSFET per GaNFET (*Gallium Nitride Field Effect Transistor*) també és una gran millora de cara a un so potent i de qualitat. Aquest tipus de transistors inclou una sèrie d'avantatges com ara la disminució de inductància i capacitat paràsites oferint una major velocitat de commutació. La major linealitat de la resposta modulada redueix notablement la distorsió harmònica total (THD), a més d'oferir el transistor un tamany també més reduït.

A continuació s'exposen dos models comercials d'amplificadors en classe D de gamma alta, ambdós destaquen al mercat per les seves prestacions. Es tracta del *NuPrime ST-10* de *NuPrime Audio* i el *Mola Mola Kaluga* de *Mola Mola*. A la taula 1 s'inclouen algunes de les seves característiques. Amb uns nivells de THD i de relació senyal-soroll (SNR) com els mostrats per als dos models, pot concloure's que realment s'obté un so d'alta qualitat, potent i nítid.



Figura 5.- Mola Mola Kaluga. Font: [32]



Figura 6.- NuPrime ST-10. Font: [33]

Paràmetre / Model	NuPrime ST-10	Mola Mola Kaluga
THD (Típic) (%)	0,002 %	0,003%
Ample de banda (KHz)	0-60kHz	0-50kHz
Potència de sortida altaveu 8Ω (W)	2x150W	400W
SNR (dB)	110 dB	128 dB
Impedància d'entrada (kΩ)	23,5kΩ	100kΩ

Taula 1.- Característiques d'amplificadors de classe D de gamma alta

1.5. Proposta de resolució

A continuació es mostra en un diagrama de blocs els diferents processos dels quals consta el projecte. En apartats posteriors s'aprofundirà en cada una de les parts

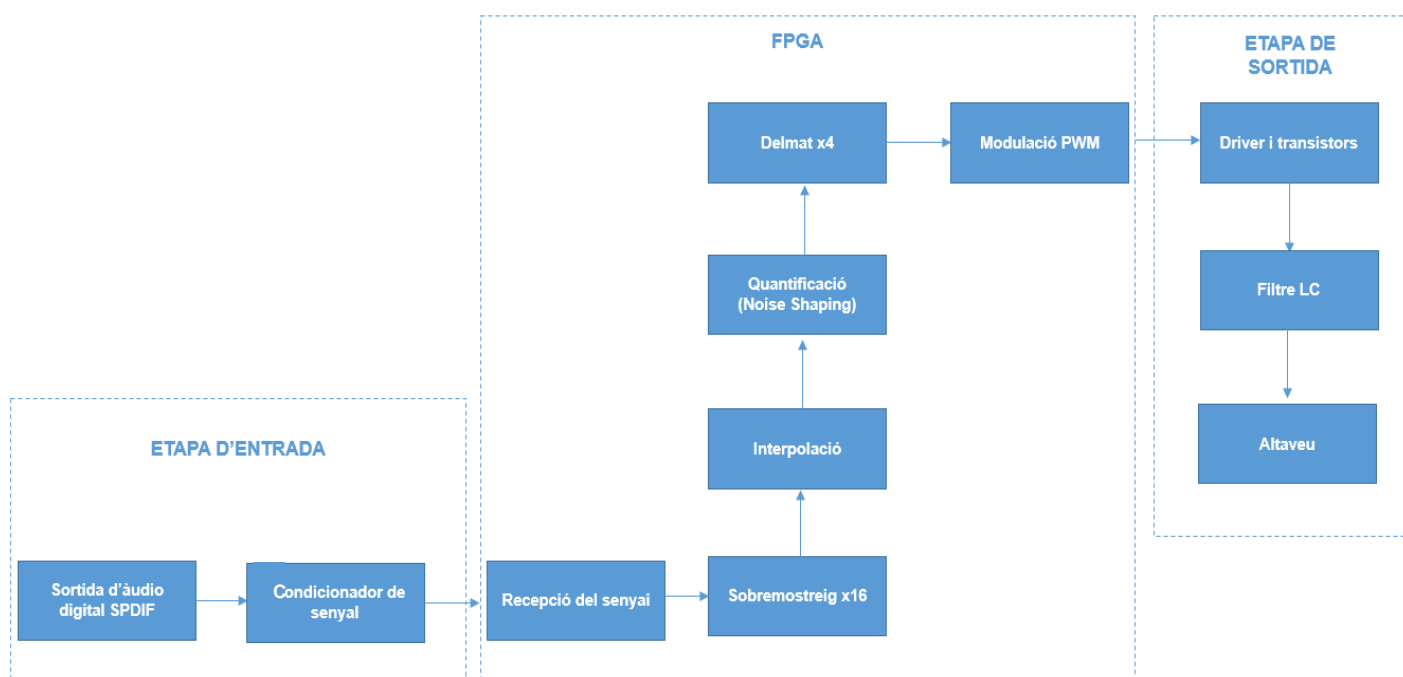


Figura 7.- Diagrama de la proposta de resolució

A mode de resum, el projecte està estructurat en tres etapes diferenciades. En l'etapa d'entrada s'obté la senyal d'àudio SPDIF codificada i es condiona aquesta per a poder ser rebuda per la FPGA. Mitjançant aquesta es descodifica, s'augmenta la freqüència de mostreig

i s'interpola per a crear mostres addicionals i eixamplar l'espectre freqüencial. El procés de *Noise Shaping* permet desplaçar el soroll de quantificació a altes freqüències on l'oïda humana no el percep. Amb la senyal quantificada, es disminueix la freqüència de mostreig a través del delmat per a treballar a freqüències més convenients i posteriorment modular en PWM.

La sortida de la FPGA passa per un *driver* que n'adapta els nivells de tensió i corrent per a activar les respectives portes d'un pont de transistors. La senyal resultant és filtrada abans d'atacar l'altaveu.

2. Fonament teòric

En aquesta secció, a mode de justificar matemàticament aspectes que es comentaran posteriorment, es farà una breu introducció de conceptes de senyals de cara a la seva digitalització i processament. També es realitza una síntesi d'estructures de representació numèrica i aritmètica digital.

2.1. Senyals

S'entén com a senyal la manifestació física d'un esdeveniment determinat. Donat un sistema que transforma un senyal d'entrada en funció del temps $x(t)$ en un de sortida $y(t)$, convé enumerar dues propietats importants d'aquest:

- **Linealitat:** Un sistema és lineal si la transformació sobre una combinació lineal d'entrades es produeix a la sortida.
- **Invariància:** Es parla d'invariància quan el mateix retard que s'aplica sobre la entrada, apareix també a la sortida.

Un sistema que compleixi aquestes dues propietats, es considerarà un sistema lineal invariant (SLI).

Delta de Dirac i equació de convolució

El delta de Dirac, també anomenat funció impuls, és una funció definida de la següent forma:

$$\delta_a(x) = \delta \cdot (x - a) \quad (2 - 1)$$

En funció del temps es pot entendre de la forma següent:

$$\delta(t) \begin{cases} 0, & t \neq 0 \\ \infty, & t = 0 \end{cases} \quad (2 - 2)$$

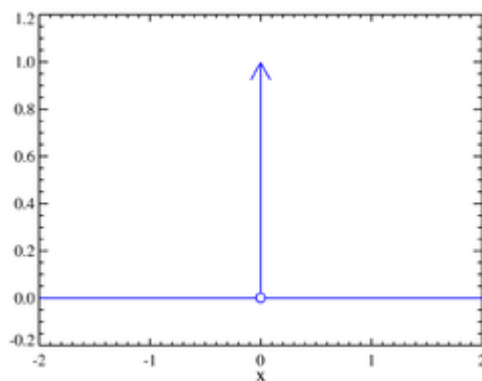


Figura 8.- Representació del delta de Dirac. Font: [20]

Aquest impuls que tendeix a infinit, té àrea unitària. La seva integral, per a tot el rang de valors equivaldrà a 1. Dues propietats de la funció que resulten d'utilitat s'enumeren a les següents expressions:

$$\int_{-\infty}^{\infty} x(\tau) \cdot \delta(t - \tau) = x(t) \quad (2-3)$$

$$x(t)(t - t_o) = x(t_o) \cdot \delta(t_o) \quad (2-4)$$

De (2-3) s'extreu que donat un senyal $x(t)$, aquest podrà ser expressat com a combinació lineal de funcions impuls, estant aquestes escalades i desplaçades en la mesura correcta. Això resulta útil de cara a discretitzar un senyal, com és el cas del processament digital. La igualtat (2-4) indica que el producte d'una funció per un delta de Dirac en un determinat instant, és el valor de la funció en el mateix instant.

L'equivalent de (2-3) per a seqüències discretes és:

$$x[n] = \sum_{i=-\infty}^{\infty} x[i] \cdot \delta[n - i] \quad (2-5)$$

Aplicat a un SLI, suposarà que a part d'expressar una sortida com a una combinació lineal d'entrades, un impuls desplaçat tindrà una resposta desplaçada. Si s'expressa la resposta a l'impuls amb la lletra g , i la sortida d'un SLI amb la lletra y :

$$y[n] = \sum_{i=-\infty}^{\infty} x[i] \cdot g[n-i] \quad (2-6)$$

L'equació (2-6) s'anomena equació de convolució discreta. Expressada altrament:

$$y[n] = x[n] * g[n] \quad (2-7)$$

La convolució aplicada a un SLI s'utilitza per mostrejar un senyal. Ja que un senyal d'àudio no es podrà emmagatzemar de forma contínua, la forma de ser tractada és mitjançant la convolució d'aquesta per un tren de deltes convenientment desplaçades. La freqüència d'aquest tren d'impulsos marcarà la freqüència de mostreig.

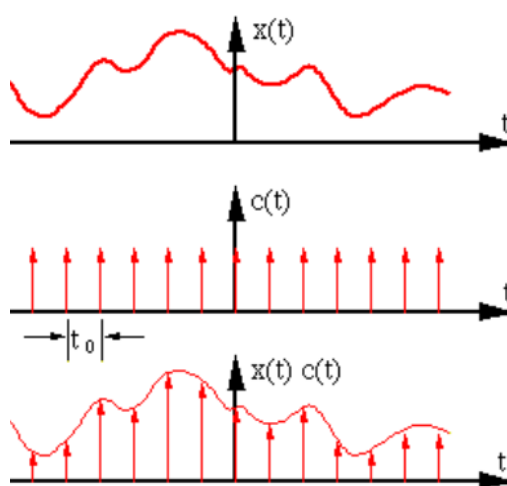


Figura 9.- Convolució d'una senyal amb un tren d'impulsos.
Font: [19]

Domini freqüencial. Transformada de Fourier

Quan es disposa d'un senyal en funció del temps, sota certes condicions es pot veure com aquest està distribuït en funció de la freqüència. La transformada de Fourier permet el pas del domini del temps al de la freqüència.

Aquesta funció ve donada per l'integral del producte de la funció temporal per l'exponencial complexa. És a dir:

$$X(f) = \int_{-\infty}^{\infty} x(t) \cdot e^{-j2\pi ft} \quad (2-8)$$

És molt important veure aquesta distribució freqüencial, també anomenada espectre. Per a aplicacions d'àudio, la banda freqüencial entre 20 i 20kHz aproximadament és molt important, ja que és el rang de freqüències que l'oïda humana pot captar.

Cal notar, a través de (2-3), que la transformada de Fourier del delta de Dirac és unitària:

$$\Delta(f) = \int_{-\infty}^{\infty} \delta(t) \cdot e^{-j2\pi ft} = \int_{-\infty}^{\infty} e^0 = 1 \quad (2-9)$$

Mostreig. Justificació matemàtica

Com ja s'ha avançat, mostrejar un senyal equival a discretitzar-lo. El mostreig s'utilitza per a poder representar un senyal digitalment. És un primer pas indispensable per a poder ser aquest interpretat.

Un mostreig teòric es mostra a la figura 9. Si aquest mostreig és uniforme amb freqüència $f_m = 1/T_m$, el senyal mostrejat es podrà expressar de la forma següent:

$$x_m(t) = \sum_{n=-\infty}^{\infty} x(nT_m) \cdot \delta(t - T_m) = x(t) \cdot \sum_{n=-\infty}^{\infty} \delta(t - T_m) \quad (2-10)$$

Aprofitant (2-9) i reordenant termes:

$$X_m(f) = X(f) \cdot f_m \cdot \sum_{n=-\infty}^{\infty} \delta(t - nT_m) \quad (2-11)$$

$$X_m(f) = f_m \cdot \sum_{n=-\infty}^{\infty} X(f) (t - nT_m) \quad (2-12)$$

De (2-12) s'obté l'espectre d'un senyal mostrejat, estarà distribuït infinitament en còpies al llarg del seu espectre, estant aquestes còpies posicionades en freqüències múltiples de f_m (figura 10). És important tenir aquesta noció conceptual de l'espectre mostrejat, de cara a filtrar o modificar la freqüència de mostreig d'un senyal d'àudio.

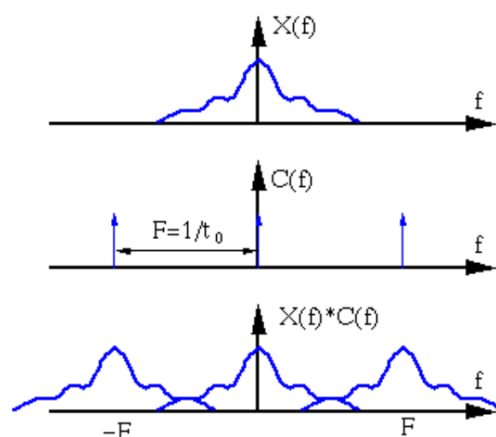


Figura 10.- Mostreig. Representació freqüencial.
Font: [19]

Teorema de mostreig de Shannon-Nyquist

Posteriorment, la informació original del senyal mostrejat s'haurà de recuperar. Per tant interessa que l'espectre d'aquest estigui intacte després del mostreig. En cas contrari es perdrà informació durant la reconstrucció.

Per aquest motiu, les rèpliques espectrals del senyal han d'estar distribuïdes amb suficient marge de freqüència per tal d'evitar solapaments d'espectres, o el que és el mateix, les freqüències de mostreig han de ser suficientment elevades.

El criteri que defineix la mínima freqüència necessària per a evitar el solapament, és el criteri de Shannon-Nyquist. Segons aquest criteri, el senyal temporal es podrà recuperar sempre i quan la freqüència de mostreig sigui major del doble de l'ample de banda del senyal, o de la màxima freqüència que aquest contingui. És a dir:

$$F_s > 2 \cdot B \rightarrow F_s > 2 \cdot F_{\text{màx}} \quad (2 - 13)$$

Per a obtenir l'espectre original, serà necessari utilitzar tècniques de filtrat, que permetin només seleccionar la banda de freqüències desitjada. Una freqüència de mostreig estrictament el doble de la banda del senyal, suposarà un pendent del filtre molt elevat, el que dificulta la seva implementació pràctica. És per aquest motiu que sempre interessa mostrejar a una freqüència elevada, per tal de crear un cert espai entre espectres que permeti un filtrat assequible.

En àudio CD la freqüència de mostreig típica és de 44,1 kHz, en el format DAT (*Digital Audio Tape*) són 48 kHz. S'observa que són freqüències majors als 40 kHz corresponents

al doble de la màxima freqüència de la banda d'àudio. Així es compleix el teorema de Shannon-Nyquist i es deixa marge per al filtrat.

2.2. Quantificació

El concepte de quantificació fa referència a l'assignació d'un conjunt discret de valors que pren el senyal a cada instant de mostreig. Es tracta d'una aproximació, motiu pel qual existirà un error. Ja que es parla d'emmagatzematge digital, el motiu i el nombre de nivells discrets ve donat per la quantitat de bits que s'utilitzin. Un major nombre de bits implica major resolució, ja que existeixen més valors on el senyal pot ser aproximat. Per exemple, 16 bits ofereixen 65536 (2^{16}) nivells de quantificació.

Error/soroll de quantificació

L'error de quantificació és la diferència entre el senyal original i el quantificat. Cal destacar que així com en el mostreig sempre que es compleixi el teorema de Shannon-Nyquist és possible recuperar la informació original, el procés de quantificació és irreversible i no permet recuperació d'informació. Sempre i quan l'error no estigui correlat amb el senyal, es pot considerar com a soroll. Aquest soroll, estarà distribuït uniformement al llarg de l'espectre del senyal.

Anomenant la distància entre nivells Δ , l'error estarà en un marge entre $\pm\Delta/2$. Interessa saber la probabilitat de l'error, ja que s'utilitza per a calcular la potència del soroll.

Generalment es considera que la senyal d'àudio és suficientment aleatòria com per establir una funció de probabilitat uniforme en el rang comprès entre $\pm\Delta/2$.

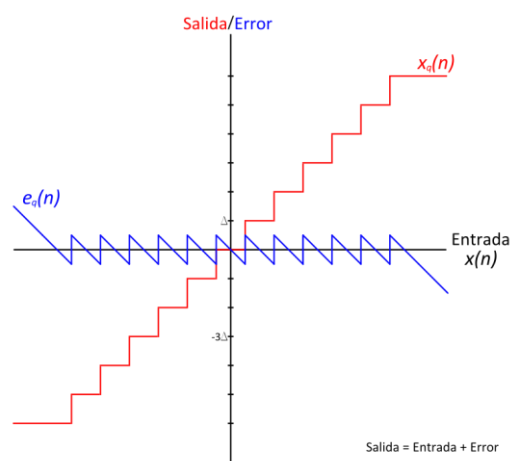


Figura 11.- Esglaons de quantificació i error associat a aquests. Font: [23]

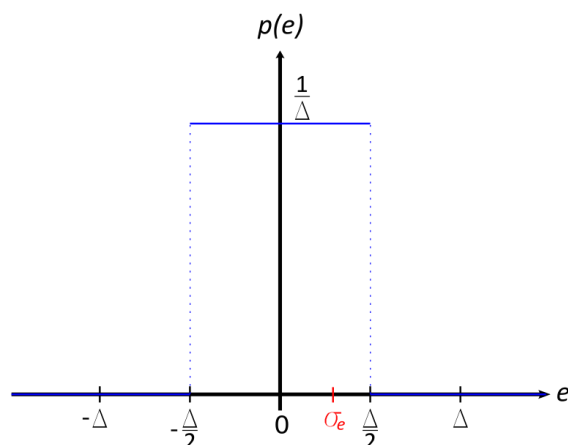


Figura 12.- Funció de densitat de probabilitat de l'error de quantificació. Font: [23]

Càlcul teòric del SNR

Les consideracions anteriors, serveixen per a poder aproximar una relació teòrica entre senyal i soroll. És el que s'anomena SNR (*Signal to Noise Ratio*). És un concepte important, ja que serveix com a indicador de la qualitat, o puresa del senyal d'àudio. Interessa un SNR elevat per a poder escoltar música de forma clara i nítida.

L'aproximació es realitza de la forma següent:

Considerant un senyal sinusoidal que cobreixi tot el rang dinàmic del quantificador, amb una amplitud A , es té:

$$2 \cdot A = \Delta \cdot 2^n \quad (2 - 14)$$

És a dir, el valor pic a pic del senyal cobreix tot el rang, on n ve marcat pel nombre de bits del quantificador. Per a expressar la potència S del senyal:

$$A = \frac{\Delta \cdot 2^n}{2} \quad (2 - 15)$$

$$S = \frac{A^2}{2} = \Delta^2 \cdot \frac{2^{2n-2}}{2} = \Delta^2 \cdot 2^{2n-3} \quad (2 - 16)$$

D'aquesta manera, la potència queda en funció de l'esglaió de quantificació. La potència del soroll N , com s'ha mencionat, ve donada per la funció de la probabilitat. Estant aquesta en funció de x :

$$N = \int_{-\infty}^{\infty} x^2 \cdot fdp(x) dx = \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} x^2 \cdot \frac{1}{\Delta} dx = \frac{\Delta^2}{12} \quad (2-17)$$

De (2-16) i (2-17) s'obté la expressió del SNR:

$$\frac{S}{N} = \frac{\Delta^2 \cdot 2^{2n-3}}{\frac{\Delta^2}{12}} = 3 \cdot 2^{2n-1} \quad (2-18)$$

I expressat en decibels:

$$\frac{S}{N} (dB) = 10 \cdot \log(3 \cdot 2^{2n-1}) = 6,02 \cdot n + 10 \cdot \log \frac{3}{2} = 6,02 n + 1,76 \quad (2-19)$$

El resultat expressa que aquesta relació, ve donada en la major part per el nombre de bits, i un coeficient que dependrà de la forma del senyal considerat, tot i que treballant amb un nombre de bits elevat, el coeficient no tindrà especial rellevància. S'acostuma a fer la aproximació d'obviar el coeficient, i arrodonir el terme 6,02 a 6. Així, per a 16 bits, es considera que es tindrà un SNR teòric de 96 dB.

A la pràctica, no s'arribarà a aquest valor, degut a que el valor calculat, a part de ser teòric i ideal està establert per a nivells alts del senyal. A nivells mitjans i baixos, es reduirà S reduint el SNR. Per aquest motiu s'hauran d'emprar procediments per tal de reduir el soroll de quantificació i obtenir un bon SNR.

2.3. Filtres digitals

El filtrat digital és la tècnica de modificar mitjançant operació matemàtica una seqüència digital d'entrada per transformar-la en una altra seqüència a la sortida. A nivell freqüencial, aquest procés pot modificar l'espectre del senyal. A continuació es comenten els principals tipus de filtres:

Filtres FIR (Finite Impulse Response)

Aquest tipus de filtres es caracteritzen per tenir una resposta que resulta de la suma ponderada de valors de l'entrada en un temps inferior. L'absència de realimentacions fa que siguin estables, i la resposta obtinguda en freqüència és lineal.

L'equació de diferències d'un filtre d'ordre M ve donada per l'expressió següent:

$$y[n] = \sum_{k=0}^M b_k \cdot x[n - k] \quad (2 - 20)$$

El terme b_k indica el valor del coeficient pel qual s'està multiplicant la mostra a l'instant k. Un filtre d'ordre M tindrà M+1 coeficients. Cal notar que la resposta a l'impuls coincideix amb el vector de coeficients.

En el domini de la transformada Z, la funció de transferència del filtre resulta:

$$H(z) = \sum_{k=0}^M b_k \cdot z^{-k} \quad (2 - 21)$$

El retard unitari entre mostres, pot expressar-se en el domini de la transformada Z com l'operador z^{-1} .

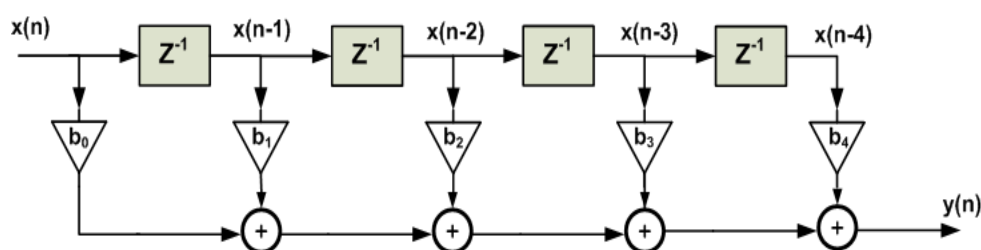


Figura 13.- Estructura bàsica d'un filtre FIR. Font: [14]

La linealitat de la resposta, implica que en el domini del temps hi ha d'haver simetria entre els coeficients. D'aquesta manera, tenint en compte que:

$$b_k = b_{M-k} \quad (2 - 22)$$

Es pot reduir el nombre de coeficients emprant una estructura adequada, i així el cost computacional del filtre. Existeixen gran varietat d'estructures optimitzades i altres que potencien certs aspectes específics tot i tenir la mateixa funció de transferència. Per exemple, un FIR amb una estructura en cascada es divideix en filtres més petits amb les seves respectives funcions de transferència; d'aquesta forma pot aconseguir-se una major insensibilitat de la resposta del filtre envers la quantificació dels coeficients.

Filtres IIR (Infinite Impulse Response)

Els filtres IIR no només resulten de valors ponderats de l'entrada en temps anterior, disposen d'un llaç de realimentació on també es ponderen valors de la sortida.

En aquest cas, l'equació de diferències és:

$$y[n] = \sum_{k=0}^M b_k \cdot x[n-k] - \sum_{k=1}^N a_k \cdot y[n-k] \quad (2 - 23)$$

En termes de resposta a l'impuls, la realimentació produeix que aquesta tingui durada infinita.

La funció de transferència és la següent:

$$H(z) = \frac{\sum_{k=0}^M b_k \cdot z^{-k}}{\sum_{k=0}^N a_k \cdot z^{-k}}, \quad a_0 = 1 \quad (2 - 24)$$

Els filtres IIR poden patir d'inestabilitat i la seva implementació és més complexa. L'avantatge respecte els FIR és que no precisen d'un ordre tant elevat per a assolir la resposta freqüencial desitjada, facilitant un menor cost computacional. Aplicacions de filtrat com ara equalitzadors digitals d'àudio es basen en filtres IIR per a explotar la seva funcionalitat.

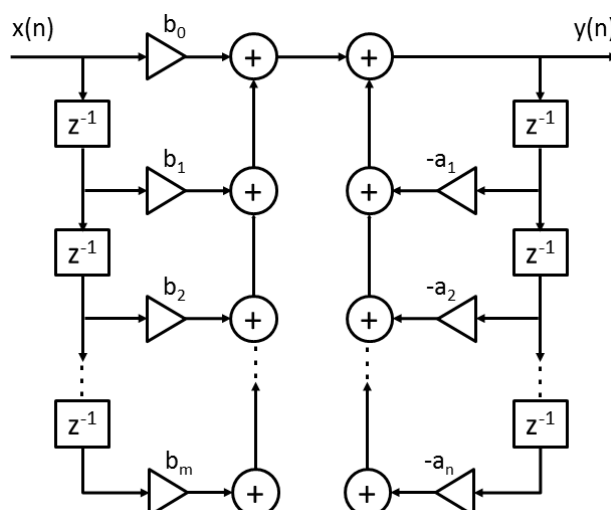


Figura 14.- Estructura bàsica d'un filtre IIR. Font: [6]

2.4. Circuits digitals de càlcul aritmètic

De cara a la implementació digital mitjançant FPGA, cal conèixer les eines i formes de representació numèrica que aquesta ofereix, donat que la programació emprada és descripció hardware. Com a tal, l'ús d'aquest llenguatge sol anar acompanyat de la consideració dels recursos que en la seva síntesi s'utilitzen; motiu pel qual a més de buscar precisió i velocitat, també es cerca una optimització en quant a recursos digitals emprats. Al tractar-se de sistemes digitals, s'ha d'enfocar el càlcul des del punt de vista de representació binària.

Coma fixa i coma flotant

La representació de nombres reals es pot realitzar en coma fixa o coma flotant. L'ús de la coma fixa sol estar associat a una major velocitat i reducció del cost computacional. En canvi, la coma flotant gaudeix d'un major rang dinàmic.

Com el seu nom indica, en un nombre real codificat en coma fixa, el nombre de bits per representar la mantissa (part fraccionària o no entera) sempre és el mateix. Així donat un nombre amb N bits per a la part entera i M per a la mantissa, tindrà com a part entera el rang de $[0, 2^N]$ i el mínim valor de la mantissa vindrà donat per 2^{-M} . Ja que interessa operar amb vectors amb la mateixa quantitat de bits, existeix el problema de necessitar molts bits quan es vol representar una part fraccionària reduïda, o el fet d'haver de recórrer a truncats i arrodoniments no gens menyspreables.

La representació en coma flotant permet la possibilitat de representar gran varietat de nombres de forma més eficient. Un nombre en coma flotant consta de tres paràmetres: el signe, la mantissa i l'exponent. Una cadena de bits tindrà 1 bit s reservat per al signe, m bits per la mantissa i e per l'exponent. L'expressió algebraica de la seva representació és la següent:

$$X = (-1)^s \cdot 1. m \cdot 2^{e - bias} \quad (2 - 25)$$

El terme *bias* és un coeficient estandarditzat que s'aplica per a evitar emmagatzemar el valor de l'exponent en complement a 2, i així representar-lo com un enter positiu. Ve donat pel nombre de bits v que s'utilitzin per representar l'exponent:

$$bias = 2^v - 1 \quad (2 - 26)$$

L'estàndard tècnic per a la computació de nombres en coma flotant IEEE 754 considera el conjunt de nombres flotants a ser representats, així com inclou formats bàsics i paràmetres més específics a considerar.

Complement a 2 (2C)

En el cas de voler representar nombres enters amb signe, hi ha diverses maneres, però es farà referència només a la més utilitzada, que és la del Complement a 2 (2C). En un nombre de N bits en notació 2C s'utilitzarà el MSB per a expressar el signe. Sent aquest la potència 2^{N-1} negativa quan és 1. Els $N-1$ bits restants en representen la magnitud. Així, per a un nombre X es té el següent rang de valors:

$$\begin{cases} \sum_{n=0}^{N-2} x_n \cdot 2^n & X \geq 0 \\ - \sum_{n=0}^{N-2} x_n \cdot 2^n & X < 0 \end{cases} \quad (2 - 25)$$

Multiply-Accumulate (MAC)

Es tracta de l'operació bàsica per al processament de senyals. Com el seu nom indica, es basa en realitzar el producte de dos nombres, per guardar-los a un acumulador on s'hi aniran sumant seqüències de productes. La unitat MAC és comú denominador per als processadors. Una convolució discreta per exemple, es pot considerar com una operació de multiplicació-acumulació, motiu pel qual també és el principi d'ús a l'hora de la realització de filtres digitals.

Una forma eficient d'aplicar operacions MAC amb FPGA és mitjançant l'aritmètica distribuïda (*distributed arithmetics*). L'operació d'acumulació es realitza mitjançant un registre de desplaçament que mitjançant un llaç de realimentació retorna a l'acumulador i permet de forma síncrona treure una cadena de Y bits a cada cicle de rellotge.

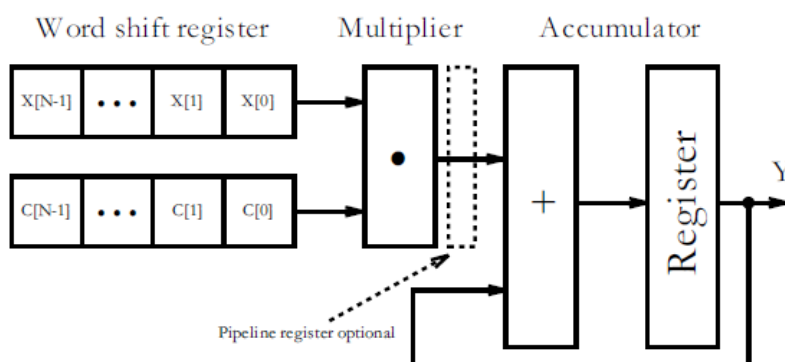


Figura 15.- Cel·la MAC amb aritmètica distribuïda. Font: [3]

Segmentació o pipelining

La segmentació és una altra tècnica que resulta útil per a la multiplicació-acumulació, així com una bona manera d'aprofitar els recursos que la FPGA ofereix, de cara a una major velocitat mitjançant l'execució paral·lela d'instruccions amb una configuració determinada. Es basa en organitzar una operació aritmètica en diferents sub-operacions, emmagatzemar valors intermedis en registres de desplaçament, i procedir amb la operació al següent cicle de rellotge.

És una clara millora quan en un procés hi ha més d'una operació aritmètica i aquestes són en certa forma dependents. Es redueixen en gran mesura els cicles de rellotge necessaris. Per exemple en un sumador complet poden carregar-se tots els bits dels operands a la

vegada, anar realitzant les operacions bit a bit; però amb un flux paral·lel a través dels registres, per així un cop acabada la suma dels dos operands MSB poder treure els resultats de les sumes a la vegada.

3. Etapa d'entrada i recepció del senyal

La primera etapa fonamental en un amplificador digital és la de recepció del senyal d'àudio. En aquest projecte, la transmissió-recepció del senyal es realitza mitjançant el protocol S/PDIF. Tant a nivell de hardware com de software, és necessari que la FPGA pugui rebre i descodificar la informació en S/PDIF. Els subapartats següents expliquen el procediment seguit amb aquest objectiu.

3.1. Senyal S/PDIF

El protocol S/PDIF (*Sony/Philips Digital Interface Format*) és una versió adaptada del protocol AES/EBU (*Audio Engineering Society / European Broadcast Union*), amb més facilitats de cara a usos comercials. L'estàndard IEC958 defineix totes les especificacions tècniques per ambdós protocols.

Els senyals S/PDIF solen estar modulats en PCM (*Pulse Code Modulation*), i es permeten diferents velocitats d'àudio. A causa d'això, tant la informació de senyal com la de rellotge referent a la velocitat de mostreig viatgen codificades en un sol senyal BMC (*Biphase-Mark-Code*) o codificació Manchester Diferencial, encara que hi ha altres mètodes de codificació no tant utilitzats. L'etapa de recepció és l'encarregada de separar/recuperar aquests dos senyals. Per a facilitats d'ús sempre es procurarà treballar amb senyals de 16 bits.

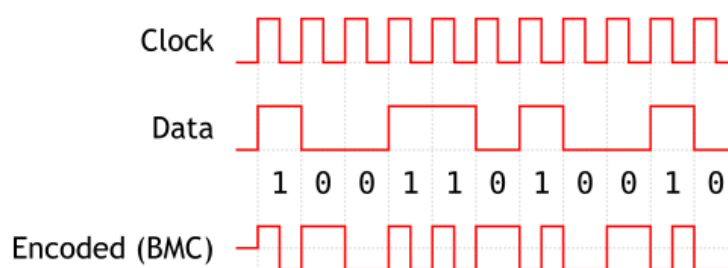


Figura 16.- Exemple de codificació de senyal S/PDIF en BMC. Font: [21]

La informació en S/PDIF està dividida en blocs d'àudio. Cada bloc d'àudio està format per 192 trames, amb la transmissió d'una trama per instant de mostreig. A la vegada, cada una d'aquestes consta de dues subtrames (per a canal dret i esquerre), en cada una de les quals hi ha 32 bits amb informació del senyal.

A la figura següent es mostra com està distribuïda la informació en S/PDIF:

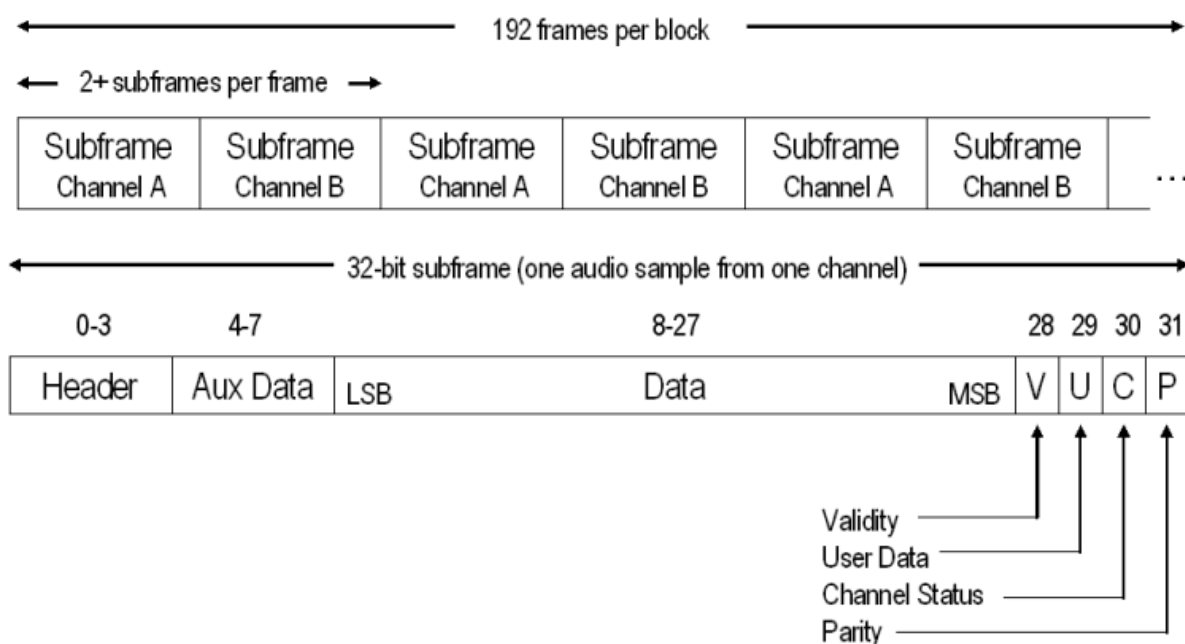


Figura 17.- Format d'un bloc S/PDIF i estructura de trames i sub trames. Font: [18]

Els 32 bits de cada una de les subtrames es descriu a continuació:

- Els quatre primers bits (0-3) serveixen de preàmbul, per a facilitar la sincronització de rellotge i detectar de quina subtrama es tracta o si es tracta de l'inici d'un bloc d'àudio. No utilitzen la codificació BMC.
- Del 4-7 són informació auxiliar. Es poden utilitzar com a bits d'informació del senyal, en cas que es desitgin 24 bits.
- Els bits 8-27 són 20 bits amb la informació modulada en PCM. Si se'n requereixen més, es poden utilitzar els bits auxiliars. En cas de voler per exemple 16 bits en comptes dels 20 que s'ofereixen, es poden posar a 0 els bits de menor pes.
- Els bits del 28 al 31 contenen informació addicional com de control.

3.1. Condicionament del senyal

Per a la connexió entre ordinador i FPGA, s'han respectat les especificacions hardware del protocol. S'utilitza un cable coaxial de $75\ \Omega$, amb connectors RCA. També es pot utilitzar cable de fibra òptica de l'estàndard de connexió òptica digital TOSLINK (Toshiba Link).

La placa Nexys 4 DDR utilitzada disposa d'entrades i sortides amb nivells de tensió de 0 i 3,3 volts; seguint l'estàndard de les famílies de dispositius CMOS. En canvi, la senyal transmesa BMC oscil·la entre uns nivells de tensió de 0,4 a 0,6 volts pic a pic. És necessari convertir aquests nivells en CMOS amb l'objectiu que la FPGA detecti la informació. En cas d'utilitzar fibra òptica aquesta operació no seria necessària. El circuit emprat per a la finalitat és el següent:

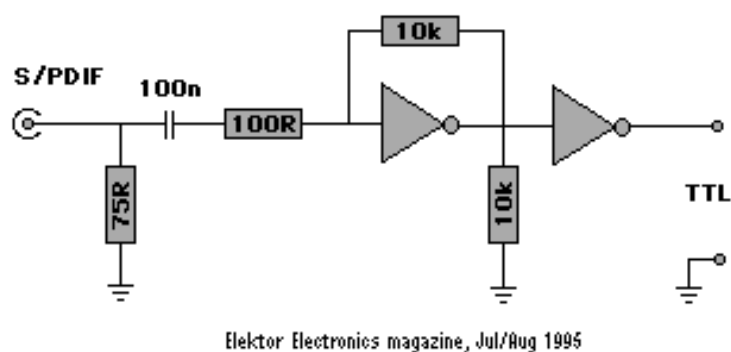


Figura 18.- Circuit condicionador de senyal. Font: [8]

Es disposa d'una resistència de $75\ \Omega$ per adaptar la impedància del cable i un condensador de 100 nF per bloquejar possibles nivells de contínua. S'utilitzen dos buffers inversors en sèrie, amb dues resistències de $100\ \Omega$ i $10\ \text{k}\Omega$, l'última d'elles de realimentació per a donar un mode de funcionament d'amplificador; i per últim una resistència de $10\ \text{k}\Omega$ derivada a massa per tal de minvar possibles oscil·lacions.

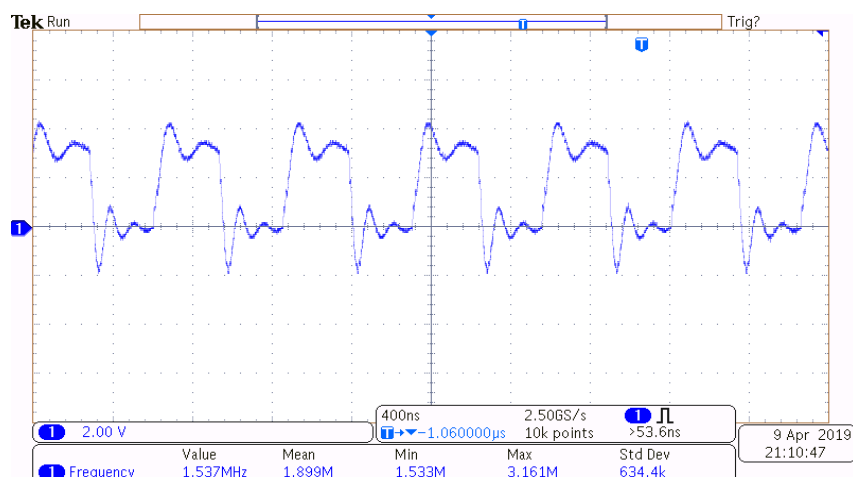


Figura 19.- Forma d'ona del senyal BMC quan no s'està transmetent informació. V: 2 V/div. H: 400 ns/div

Tot i la resistència dimensionada per tal d'evitar oscil·lacions, aquestes encara continuen presents. En cas d'afectar el funcionament del sistema es consideraran solucions alternatives.

3.2. Entitat receptora

Per a la recepció del senyal en S/PDIF s'ha utilitzat un mòdul en VHDL realitzat a la Universitat de Glasgow. Aquest és l'encarregat de descodificar el senyal, sincronitzar el rellotge, detectar preàmbul i obtenir una sortida per les dades i una pel rellotge. La comprensió d'aquest mòdul ha estat gràcies al projecte d'un ex-alumne de la UPC "Amplificador digital d'àudio en classe D" [12]. A la memòria d'aquest projecte s'hi inclou una descripció detallada del mòdul de recepció. Aquest mòdul té les següents entrades i sortides:

- Entrada **reset**, senyal de supressió de tots els processos en curs.
- Entrada **spdif_in**, és la informació rebuda a descodificar.
- Entrada **clk**, referent al rellotge mestre de la FPGA de 100 MHz.
- Sortida **sdata**, és la informació S/PDIF descodificada.
- Sortida **sclk**, és el *bit rate* del senyal, 64 vegades la freqüència de mostreig. Això es deu a que en cada instant de mostreig s'han de carregar els 64 bits de la trama.
- Sortida **bsync**, marca l'inici d'un bloc d'àudio.

- Sortida **lrck**, indica de quin canal es tracta en cada cas, 1 és referent a l'esquerre, 0 al dret.
- Sortida **active**, per indicar que la recepció s'està realitzant correctament. Només en estat alt després d'una correcta sincronització de rellotge i detecció de preàmbul.

Utilitzant un mòdul generador de senyal, que emula una ona sinusoidal en S/PDIF i transmesa en codificació BMC, s'obté mitjançant simulació el següent resultat:

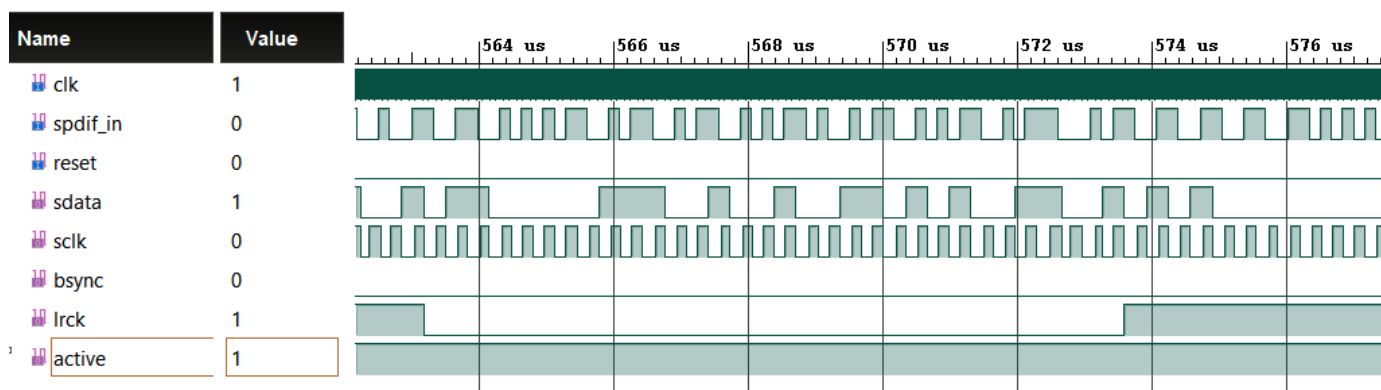


Figura 20.- Cronograma d'interval de simulació del receptor S/PDIF

Així doncs, és possible mitjançant el circuit condicionador i l'entitat receptora obtenir a la FPGA una cadena de bits en PCM referent a la informació d'àudio. Per tal d'identificar quan aquesta recepció s'està efectuant correctament, s'ha assignat la sortida **active** a un indicador LED de la Nexys 4 DDR.

Cal destacar que sempre i quan l'ordinador estigui encès, s'estarà transmetent informació per la sortida S/PDIF, encara que no s'estigui reproduint cap arxiu d'àudio (en aquest cas no es rebrà informació per **sdata**).

4. Sobremostreig i interpolació

4.1. Principi de funcionament

Finalitzada la etapa de recepció del senyal, s'obté aquest codificat en PCM, procedent del bus S/PDIF, mostrejada a 48 o 44,1 kHz.

El soroll de quantificació, segons la expressió (2-19) depèn del nombre de bits que s'utilitzin en la mostra. Un major nombre de bits, determinarà un menor soroll de quantificació, ja que es disposarà de més nivells per reduir aquest error.

El soroll de quantificació, considerant-lo com a tal, té una densitat espectral uniforme al llarg de la banda de freqüències. Motiu pel qual, abraçant més espectre, l'amplitud o potencia del soroll es veurà reduïda millorant el SNR.

Per a cada duplicació de la freqüència de mostreig, el soroll es redueix 3 dB, que es tradueix en l'augment del SNR, mentre que els 6 dB referents als bits de quantificació es mantenen. Es referirà al rati d'augment de la freqüència de mostreig com a OSR (*Over Sampling Rate*).

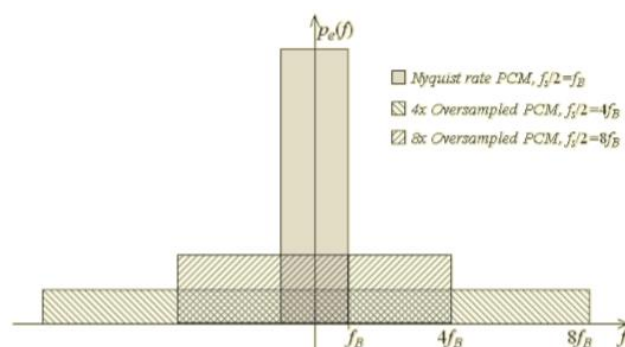


Figura 21.- Efecte de l'augment del OSR en el soroll de quantificació.

Font: [10]

L'augment de la freqüència de mostreig requereix de més mostres per unitat de temps. Ja que tota la informació disponible ve donada durant el mostreig original, es realitza una interpolació per a aconseguir crear mostres intermèdies.

Hi ha diverses maneres de realitzar la interpolació. Per aquest cas, s'ha considerat el procediment senzill d'afegir zeros entre les mostres originals (mètode conegut com a *zero padding* o *zero filling*), i utilitzar un filtre digital per tal d'obtenir el senyal interpolat.

El *zero padding* consisteix en, donat un senyal mostrejat $x[n]$, afegir $M-1$ zeros entre mostres, i filtrar la banda desitjada per tal d'obtenir aquest interpolat amb un OSR de M . El procediment es mostra a la següent figura:

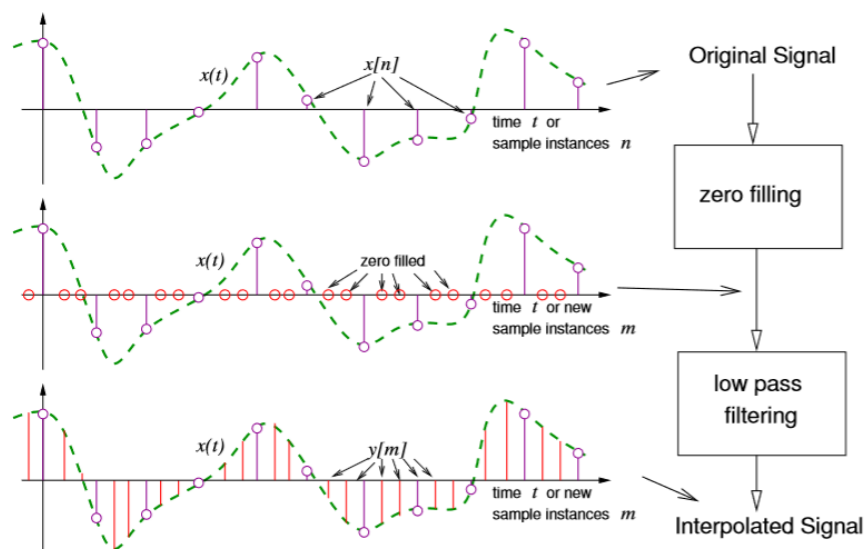


Figura 22.- Procés d'interpolació de mostres. Font: [7]

A nivell freqüencial, l'operació del sobremostreig pot representar-se mitjançant la transformada de Fourier en temps discret (DTFT). L'espectre és continu en el temps i periòdic. No obstant, per al seu processament digital, s'utilitza la transformada discreta de Fourier (DFT). La DFT pot considerar-se com la versió mostrejada en el domini de la freqüència de la DTFT.

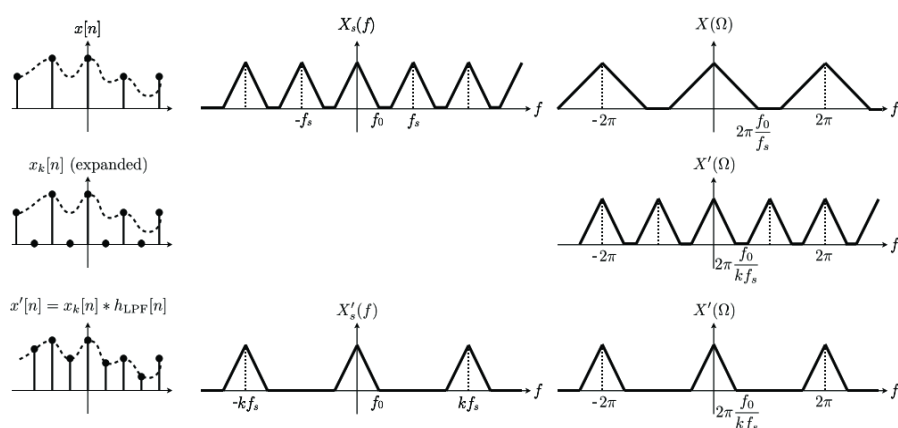


Figura 23.- Espectre freqüencial del procés de sobremostreig i interpolació. Font: [1]

La DTFT mostra que el fet d'afegir zeros comprimirà l'espectre tantes vegades com sigui la magnitud del OSR. A més, apareixeran $M-1$ espectres 'fantasma' que s'han d'eliminar. Així doncs, el filtrat ha de ser bastant restrictiu, ja que es busca recuperar l'espectre original a la nova freqüència de mostreig. En el cas de la figura 23 s'ha de conservar la banda de 0 fins $\frac{2\pi \cdot f_o}{k \cdot f_s}$ sent f_o la freqüència més elevada de l'espectre original, f_s la freqüència de mostreig i k el OSR.

És important tenir en compte que el procés de sobremostreig no manté l'amplitud del senyal. Al generar-se els múltiples espectres, el guany de cada un d'aquests es veurà reduït per un factor $1/M$; succeint així que la suma de tots els senyals continguts en els diferents espectres a l'instant de mostreig desitjat conserva l'amplitud original. Però ja que només interessa l'espectre original, s'haurà de compensar la reducció d'amplitud amb un filtre de guany M .

4.2. Entitat de sobremostreig

S'ha creat una entitat en VHDL anomenada *sobremostrejador*. Aquesta entitat, a més de d'agafar per a una de les subtrames els 16 bits d'informació efectiva en PCM procedent de SPDIF, crea la nova freqüència de mostreig i afegeix els zeros entre els instants de mostreig. S'ha escollit una freqüència de sobremostreig d'un OSR de 16. L'entitat té les entrades i sortides següents:

- Entrada **reset**, senyal per a la supressió de tots els processos en curs.
- Entrada **clk**, referent al rellotge mestre de la FPGA de 100 MHz.
- Entrada **sdata_in**, informació S/PDIF descodificada.
- Entrada **sclk_in**, és el *bit rate* del senyal.
- Entrada **lrck_in**, indica de quin canal es tracta en cada cas, 1 és referent a l'esquerre, 0 al dret.
- Entrada **active_in**, per indicar que la recepció s'està realitzant correctament.
- Sortida **mostra_pcm[15:0]**: vector que conté els 16 bits d'informació efectiva del canal esquerre, en PCM.
- Sortida **fs_upsamp**: freqüència de sobremostreig.

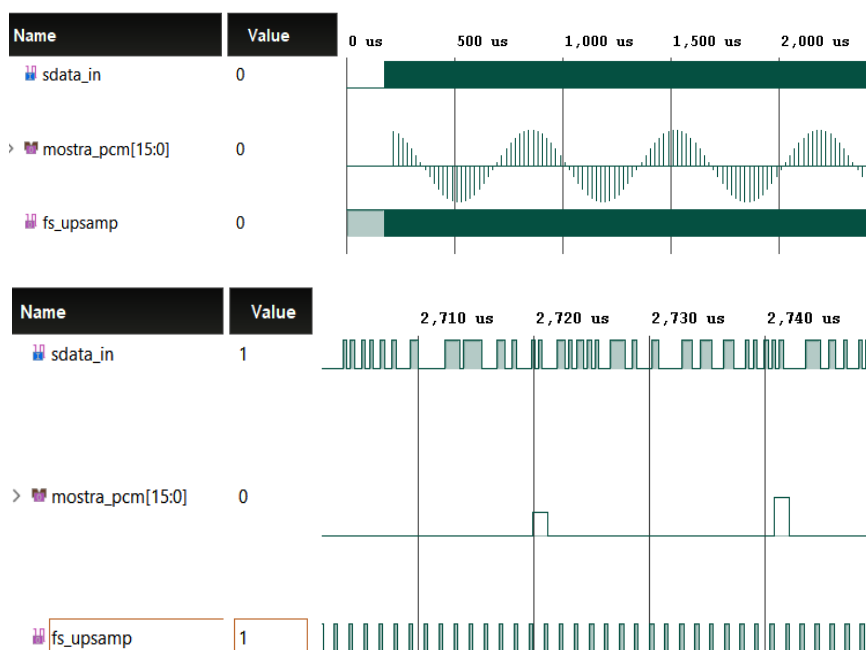


Figura 24.- Cronogrames d'interval·s de simulaci3 de l'entitat de sobremostreig

Els dos cronogrames mostren resultats de simulaci3 per a una ona sinusoidal. Quantificant els 16 bits i emprant visualitzaci3 anal3gica a les mostres del canal esquerre, a la primera s'observa la informaci3 del senyal amb espai entre aquestes. Al cronograma inferior, de forma ampliada s'hi observa la nova freqüència de mostreig. Cada 16 polsos de ***fs_upsamp***, la nova freqüència de mostreig, s'obté una mostra en PCM de 16 bits ***mostra_quantificada[15:0]***.

4.3. Filtrat d'interpolaci3

S'ha escollit realitzar un filtre d'impuls finit (FIR) degut a la seva estabilitat. El mètode de filtrat en aquest cas és el de fenestrament. La resposta a l'impuls d'una determinada funció, s'assemblarà en el domini de la freqüència a un espectre en forma de finestra que mitjançant la convoluci3 amb el senyal, aïllarà aquesta per a la banda desitjada. Hi ha diverses funcions per a realitzar el filtrat de fenestrament, cada una amb les seves particularitats. S'ha utilitzat la que MATLAB ofereix per defecte en la seva funció *fir1*, que és la funció *Hamming*.

Window Type	Peak Sidelobe Amplitude (Relative, dB)	Approximate Width of Main Lobe	Peak Approximation Error, $20\log(\delta)$ (dB)
Rectangular	-13	$\frac{4\pi}{M+1}$	-21
Bartlett	-25	$\frac{8\pi}{M}$	-25
Hann	-31	$\frac{8\pi}{M}$	-44
Hamming	-41	$\frac{8\pi}{M}$	-53
Blackman	-57	$\frac{12\pi}{M}$	-74

Taula 2.- Especificacions per a diferents tipus de fenestraments. Font: [13]

A l'hora del disseny del filtre, s'ha de tenir en compte la relació entre els següents factors: ordre del filtre, qualitat del filtre, banda de pas, i velocitat de resposta. El fet de limitar l'ordre del filtre, fa que la resposta no sigui perfecta i aparegui certa arrissada tant a la banda de pas com a la de tall. L'amplada del lòbul principal de la resposta del filtre té efecte sobre la banda de pas. Per reduir aquesta amplada es necessita un major ordre, fet que comporta un major cost computacional i a la seva vegada una major temps d'execució. S'ha d'arribar doncs a una solució de compromís que també implicarà el OSR, ja que aquest està estretament lligat amb la banda de pas necessària.

Amb el programa MATLAB es generen els coeficients pels quals s'ha de multiplicar cada mostra per tal de realitzar el filtrat correctament. S'han escollit els diferents paràmetres:

- Ordre del filtre $N= 60$. És un ordre que implica un cost relativament elevat, però s'ha considerat primordial que el filtrat s'efectués correctament.
- Banda de pas normalitzada $\omega_n = 0,052$. Aquest valor ve determinat considerant la banda de pas desitjada: 20 kHz, i la freqüència Nyquist també desitjada per a un senyal mostrejat originalment a 48 kHz ($48 \text{ kHz}/2 = 24 \text{ kHz} \times 16 = 384 \text{ kHz}$).
- Guany del filtre $M=16$. Per tal de conservar l'amplitud.

Pot observar-se que mentre no es manifesta l'arrissada deguda al truncament de l'ordre del filtre, el desfasament és lineal.

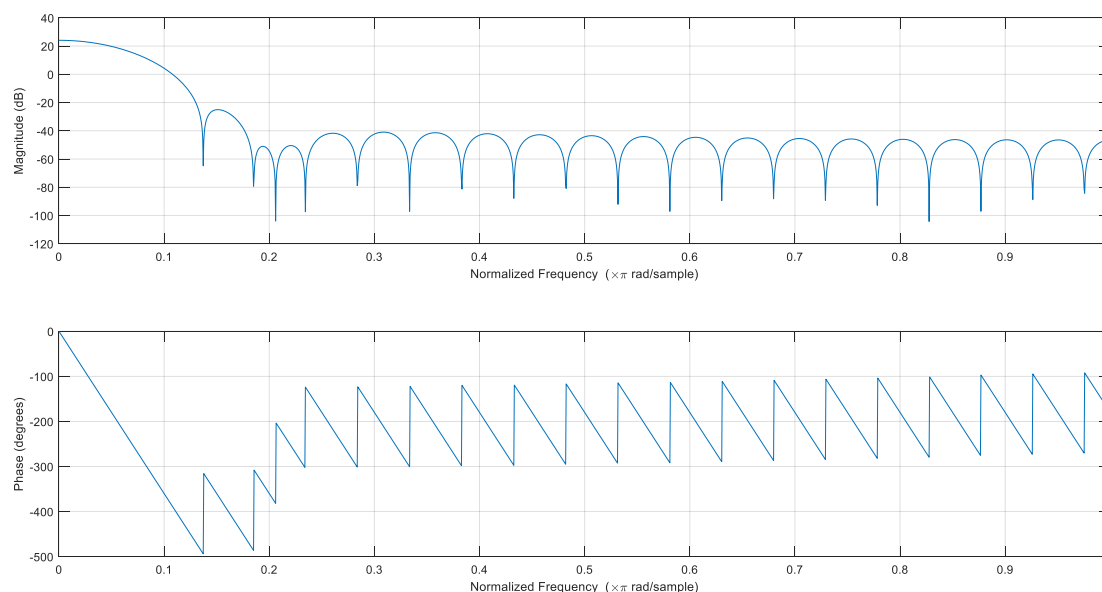


Figura 25.- Resposta en freqüència del filtre. Amplitud (superior) i fase (inferior)

4.4. Mòdul de filtrat

Per a la implementació a la FPGA, s'ha utilitzat el mòdul IP *Vivado FIR Compiler* [28]. Les IP (*Intellectual Property*) són mòduls realitzats amb llenguatge de descripció hardware que empreses i altres usuaris realitzen i es troben predefinits en llibreries amb disponibilitat per al seu ús. Aquest mòdul en concret, mitjançant la inserció dels coeficients, permet caracteritzar la implementació digital del filtrat. La entitat generada té les entrades i sortides següents:

- ***aclk***: Entrada de rellotge. És la base de temps per als processos de multiplicació-acumulació de filtrat.
- ***s_axis_data_tvalid***: Entrada que determina en quin instant s'introdueix una mostra.
- ***s_axis_data_tready***: Sortida que indica que l'estat del filtre és correcte. Cal que aquesta sortida estigui a 1 sempre que el filtre estigui actiu.
- ***s_axis_data_tdata[15:0]***: Entrada del vector de la mostra.
- ***m_axis_data_tvalid***: Sortida que determina en quin instant s'obté una mostra filtrada. Degut al procés de *hand-shaking* intern de l'entitat, i el desfasament del filtrat, aquest senyal està desfasat respecte ***s_axis_data_tvalid***.
- ***m_axis_data_tdata[23:0]***: Vector de sortida de la mostra filtrada.

A part de les mencionades, hi ha moltes entrades i sortides opcionals, a més d'extenses possibilitats de parametrització.

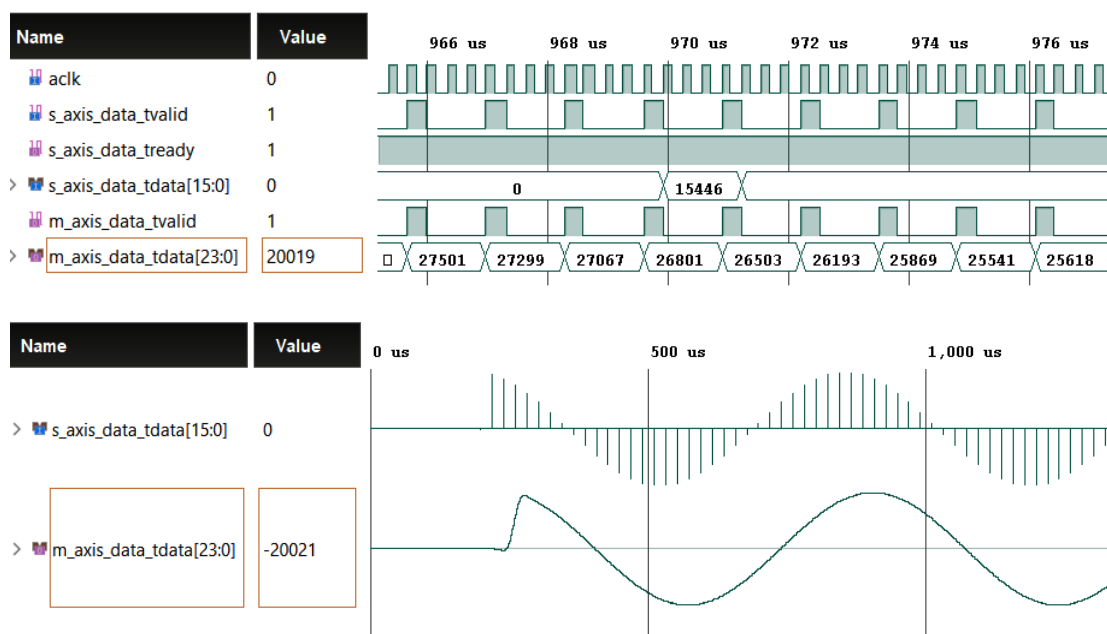


Figura 26.- Cronogrames d'interval de simulació del mòdul de filtrat

La figura superior mostra dos cronogrames de simulacions del filtrat d'interpolació. A la primera s'observa un valor d'amplitud del senyal original de 16 bits `s_axis_data_tdata[15:0]`, quantificat com un enter amb signe; i com la sortida té valors de la mostra `m_axis_data_tdata[23:0]` per a cada nou instant de mostreig.

El cronograma inferior utilitza la visualització analògica, i exemplifica el procés d'interpolació. També s'observa el desfasament que ocasiona el filtrat, el qual està en consonància amb el diagrama de Bode de la figura 25

Un inconvenient que presenta el filtrat utilitzat és que encara que el senyal interpolat conservi l'amplitud, el nombre de bits obligatòriament augmenta. Això fa que degut al fenestrament imperfecte alguna mostra esporàdica podria tenir un valor d'amplitud superior al permès amb 16 bits. S'adreçarà aquest problema amb un pre-quantificador que actuï com a limitador d'amplitud.

5. Quantificació. Noise Shaping

Per a la reducció del nombre de bits del senyal s'ha d'emprar una requantificació, però convé que en la mesura que sigui possible la qualitat original es mantingui. Un procés que ofereix aquesta possibilitat és el *Noise Shaping*. Com el seu nom indica, és una tècnica que modela el soroll, reduint la seva presència a la banda desitjada i enviant-lo a freqüències superiors. El procés del sobremostreig ha assegurat disposar de més espai on el soroll pot ser dirigit. Abans d'entrar en detall, s'explicarà una altra problemàtica on es proposa com a solució el *dithering*, el qual també es pot incloure dins el modelat de soroll.

El procés de modelat de soroll, tant per al seu disseny com per a la seva implementació, resulta més intuïtiu i pràctic elaborar-lo amb una aplicació que permeti treballar amb diagrames de blocs i realitzar de forma ràpida simulacions temporals i freqüencials. Xilinx ofereix l'eina *System Generator for DSP*, que està integrada a MATLAB Simulink i permet la creació i implementació en FPGA d'algoritmes per a processament digital de senyals mitjançant la interconnexió de blocs funcionals que posteriorment es sintetitzen i es disposen per a l'usuari en forma d'una sola IP. El model de *Noise Shaping* escollit serà implementat amb aquesta eina i conseqüentment integrada dins el software Vivado amb la resta d'entitats.

5.1. Dithering

Els càlculs de l'apartat 2.2 representen un SNR teòric i de forma òptima, però en la majoria de casos no resulta d'aquesta forma. Determinades pistes d'àudio que poden oferir trams de senyal a nivells molt baixos o esvaïments del so en certs intervals poden ocasionar problemes. A aquests nivells, el soroll de quantificació suposat com a aleatori deixa de ser-ho, i és funció de senyal d'entrada. Ja no es considera com a soroll sinó com a distorsió. A nivell psicoacústic, aquest fenomen es pot percebre com el que s'anomena soroll granular. A nivell de senyal, es pot dir que el soroll i la entrada estan correlats.

L'opció escollida per a anul·lar aquest efecte és la d'afegir soroll blanc, en petita mesura, per tal d'emascarar la distorsió. Es tracta de l'anomenat *dither*. Mitjançant aquesta tècnica es pot decorrelar l'error de quantificació i aconseguir que, ara sí, el soroll de quantificació estigui uniformement distribuït. El seu ús està recomanat en que perceptivament és preferible el soroll a la distorsió.

Així, afegint *dither* prèviament al truncat de la quantificació, els pics que podrien aparèixer en harmònics del senyal desapareixen en gran mesura per tenir un nivell de soroll constant. Qualitativament es pot percebre observant que els esglaons degut a la quantificació no seran tant agressius degut a l'acció aleatòria del soroll.

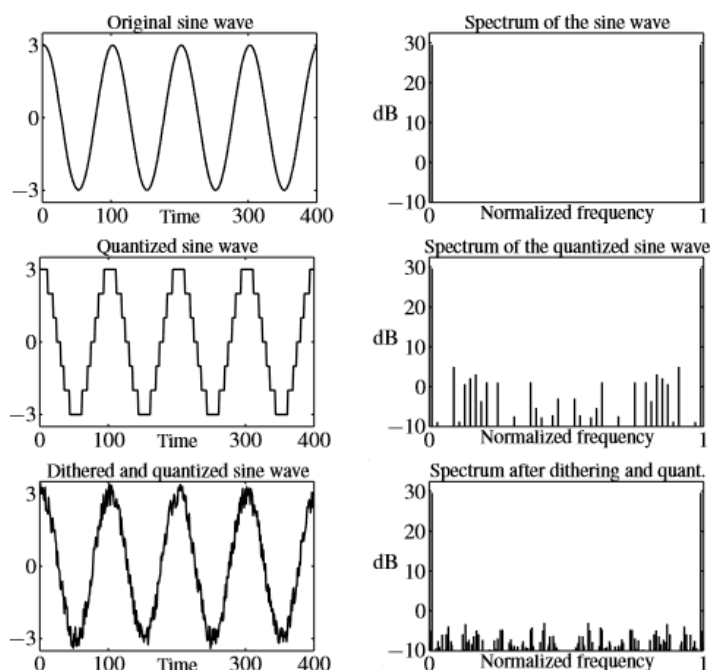


Figura 27.- Senyal sinusoidal, quantificat, i amb dither i els seus espectres.

Font: [4]

5.2. Noise Shaping

El *Noise Shaping* o modelat de soroll, és una tècnica utilitzada en els moduladors Sigma-Delta. L'objectiu és desplaçar el soroll de quantificació a altes freqüències, per a obtenir una reducció de bits amb un bon SNR a l'interval considerat. Considerant el soroll de quantificació com el procés d'afegir un error, l'error de quantificació, la estructura en diagrama de blocs següent n'exemplifica el comportament:

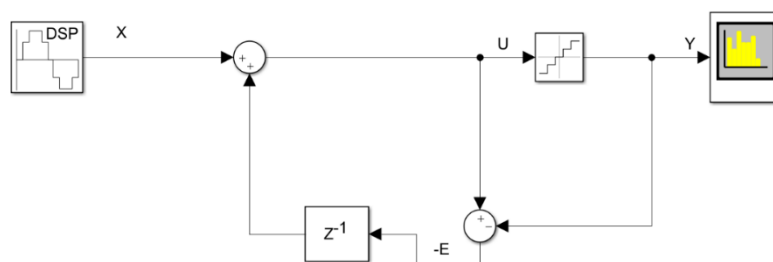


Figura 28.- Estructura bàsica d'un noise shaper amb una senyal sinusoidal com a entrada

On X és l'entrada, Y la sortida, E l'error de quantificació i U l'entrada del quantificador.

Analitzant l'estructura mitjançant la transformada Z es té el següent:

$$U_t - Y_t = -E_t \quad (5 - 1)$$

Degut al bloc de retard d'una unitat, l'entrada al quantificador també vindrà donada per:

$$U_t = X_t - E_{t-1} \quad (5 - 2)$$

Substituint U_t a (5-1) i reordenant:

$$X_t - E_{t-1} - Y_t = E_t \quad (5 - 3)$$

$$Y_t = X_t + E_t - E_{t-1} \quad (5 - 4)$$

Finalment, si es treu factor comú a l'error de quantificació:

$$Y_t = X_t + E_t (1 - z^{-1}) \quad (5 - 5)$$

Cal notar que l'entrada del senyal es manté intacta. En canvi, la funció de transferència de l'error de quantificació és $(1-z^{-1})$. Aquest factor és l'encarregat d'enviar el soroll a altes freqüències. La demostració matemàtica d'aquest fenomen pot trobar-se a [10].

En molts casos, el bloc de retard mostrat és una estructura més complexa, com ara un filtre. Generalment vindrà donada per una funció de transferència i s'anomena filtre de conformat de soroll.

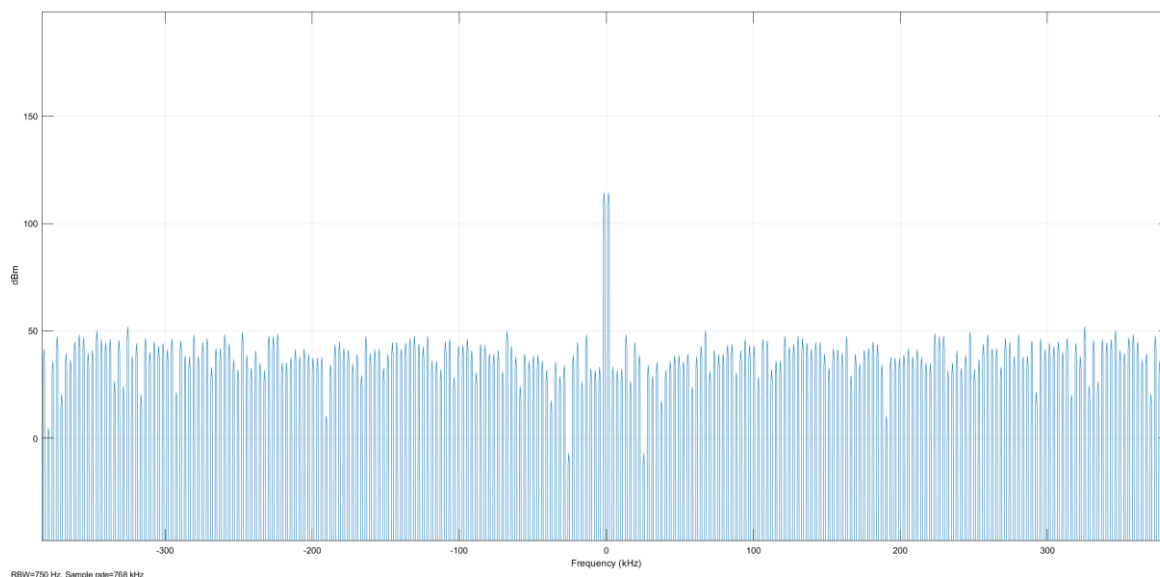


Figura 29.- Espectre de la senyal quantificada, sense Noise Shaping

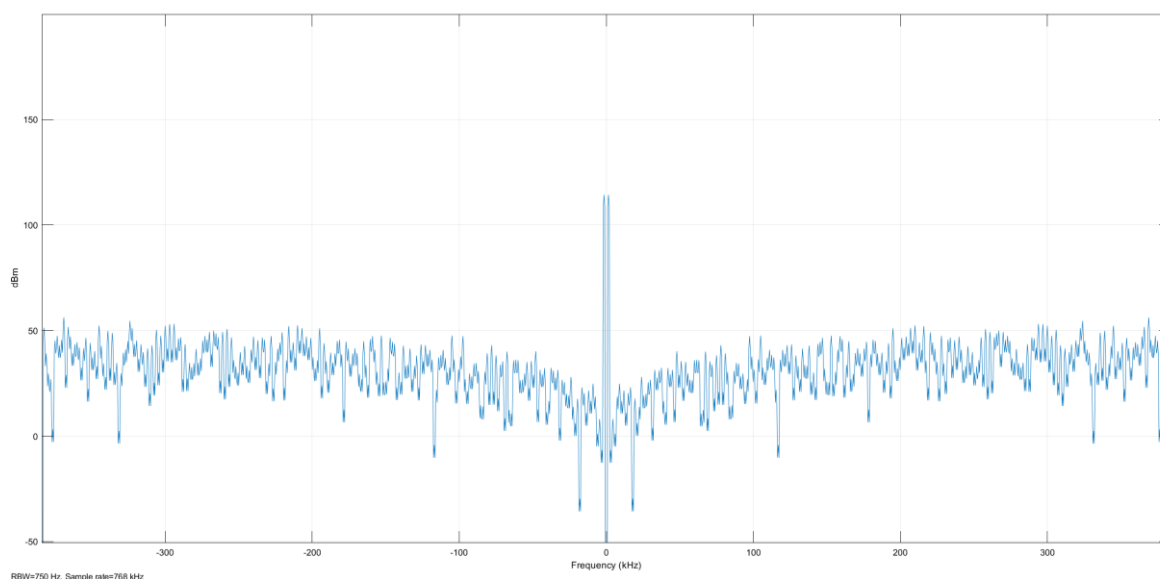


Figura 30.- Espectre de la senyal sinusoidal amb Noise Shaping

Per a millorar l'efectivitat del *Noise Shaping*, una opció és la d'encadenar múltiples etapes en cascada. És el que es coneix en els moduladors Sigma-Delta com *Multi-Stage Noise Shaping* (MASH). Una possible implementació és la d'establir l'error de quantificació d'una etapa com a entrada de la següent. A continuació es mostra la figura 28 modificada:

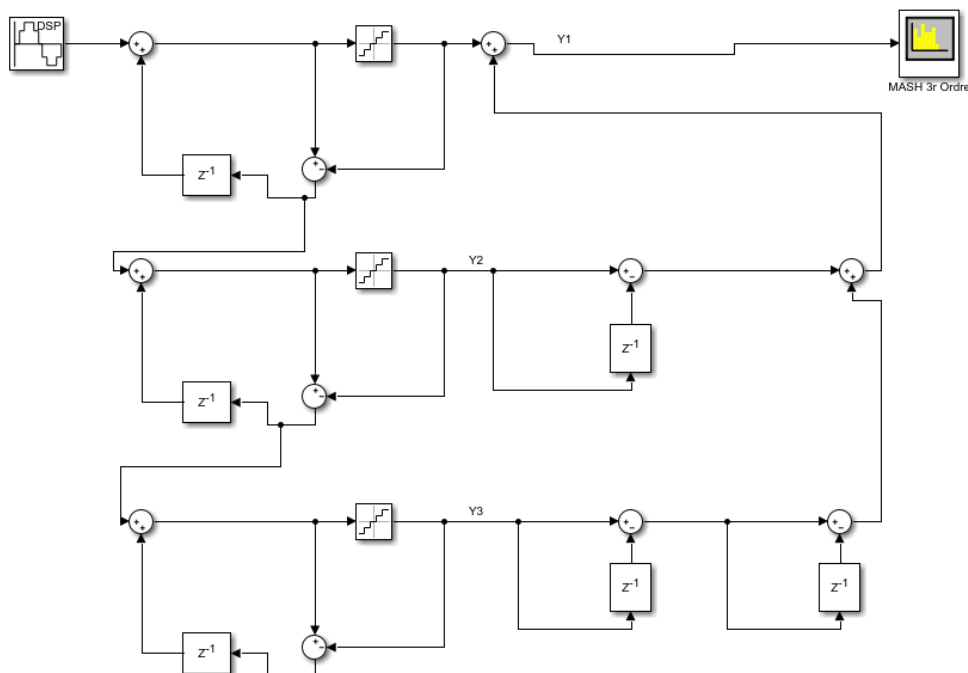


Figura 31.- Estructura MASH de tercer ordre

Expressant la sortida Y de cada etapa amb un subíndex Y_1, Y_2, Y_3 , es té que la sortida de la primera etapa es conserva, no obstant en la segona i tercera etapes, l'entrada en comptes de X serà l'error de quantificació $-E$. És a dir:

$$Y_1 = (1 - z^{-1})E_1 + X \quad (5-6)$$

$$Y_2 = (1 - z^{-1})E_2 - E_1 \quad (5-7)$$

$$Y_3 = (1 - z^{-1})E_3 - E_2 \quad (5-8)$$

Els retards finals de la segona i tercera etapa ofereixen la particularitat de diferenciar-les respecte a la sortida total. Així, es pot expressar la sortida en funció la sortida de cada etapa:

$$Y = Y_1 + (1 - z^{-1})Y_2 + (1 - z^{-1})^2 Y_3 \quad (5-9)$$

I expressant (5-9) en funció de (5-6), (5-7) i (5-8):

$$Y = (1 - z^{-1})E_1 + X + (1 - z^{-1})((1 - z^{-1})E_2 - E_1) + (1 - z^{-1})^2((1 - z^{-1})E_3 - E_2) \quad (5 - 10)$$

S'obté l'expressió final:

$$Y = (1 - z^{-1})^3 E_3 + X \quad (5 - 11)$$

L'augment en l'ordre del factor $(1-z^{-1})$ aguditza l'acció del modelat. Es té la figura següent:

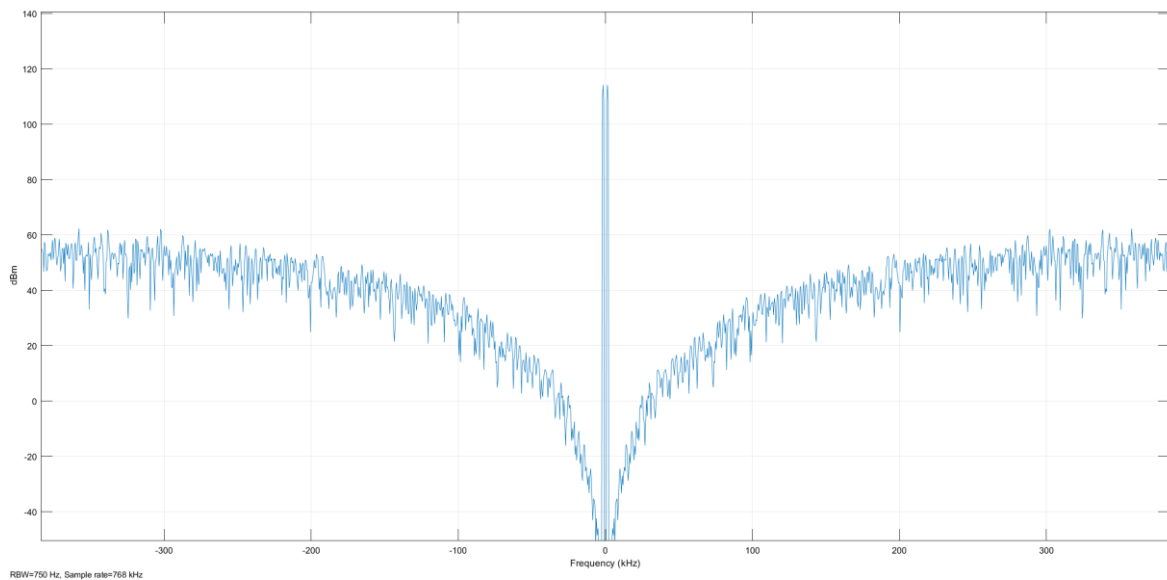


Figura 32.- Espectre del senyal sinusoidal amb MASH de tercer ordre

Comparant amb la figura 30, l'efectivitat de l'augment d'ordre queda comprovada. És de menció que el *Noise Shaping* es fonamenta en la percepció psicoacústica. Com es pot observar, els nivells de soroll a altes freqüències resulten elevats, però a una banda freqüencial on l'oïda humana no els captarà.

5.3. Implementació del Noise Shaping

Mitjançant el *System Generator for DSP*, s'ha elaborat una estructura per al modelat de soroll. La realització és mitjançant diagrames de blocs, però a la vegada aquests s'hauran d'implementar mitjançant la lògica de la FPGA, motiu pel qual s'han de configurar paràmetres com el nombre de bits, la representació numèrica, el mètode de truncat... etc.

L'estructura escollida segueix el mateix principi de funcionament que el de l'apartat anterior, tot i que a l'hora de treballar amb els blocs de Xilinx aparentment sembla més complexa. Es requantifica un senyal sinusoidal de 16 a 4 bits.

El procés s'exemplifica amb un modelat de soroll de primer ordre. Es quantifica el senyal i es retarda una unitat la realimentació de l'error de quantificació. En aquest cas, per quantificar correctament s'ha de truncar i escalar el senyal, i per a poder operar amb l'error de quantificació s'ha d'expressar el senyal quantificat de 4 bits una altra vegada com un de 16.

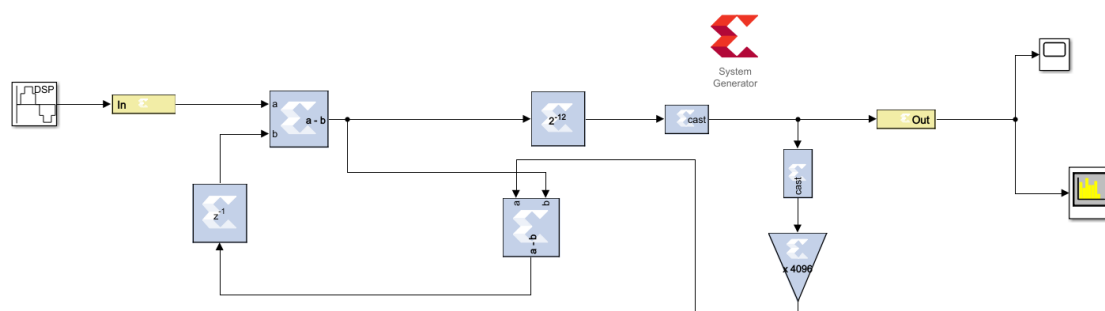


Figura 33.- Estructura de Noise Shaping amb System Generator

L'estructura del *noise shaper* de tercer ordre, és la següent:

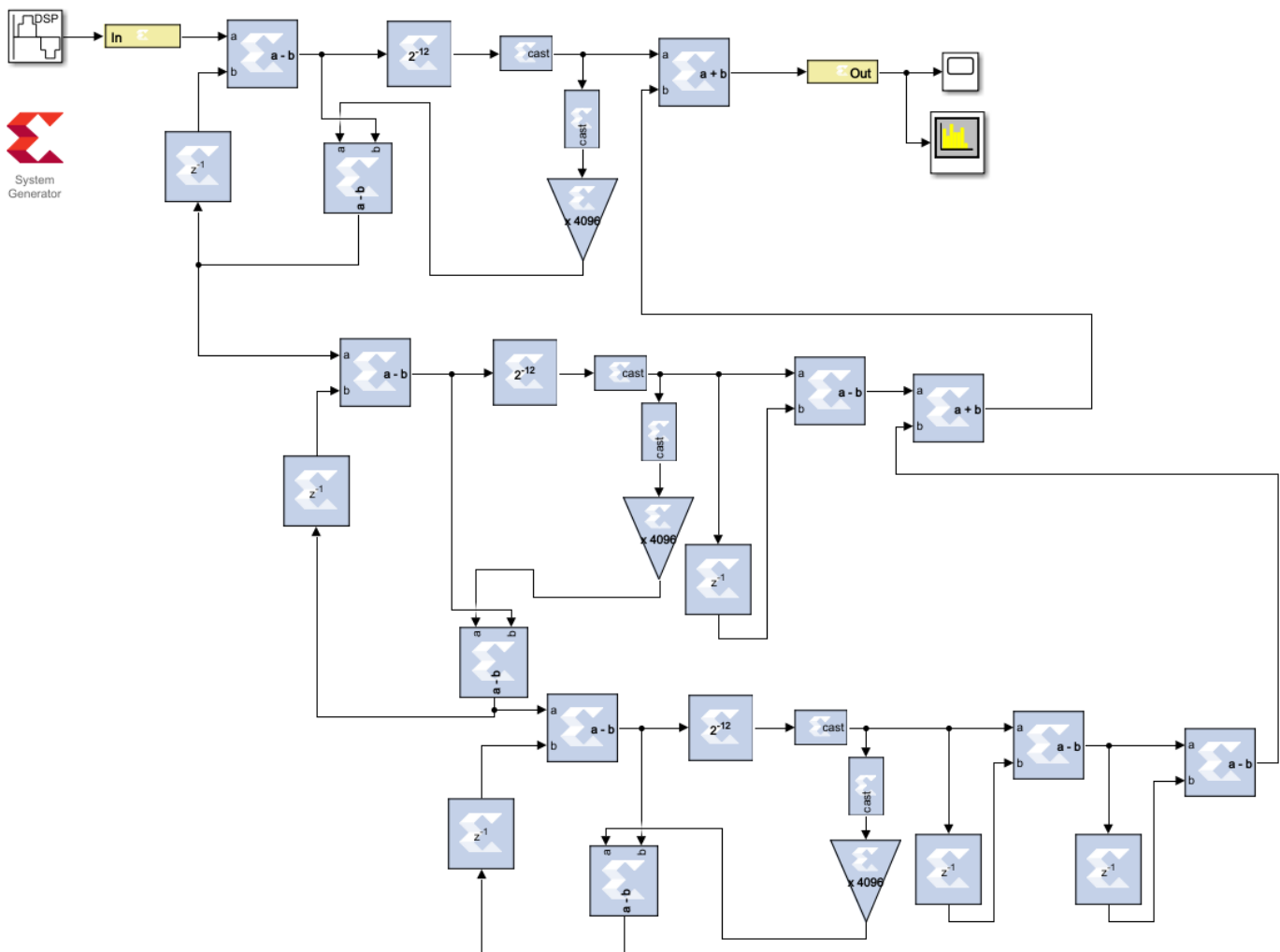


Figura 34.- Estructura MASH tercer ordre amb System Generator

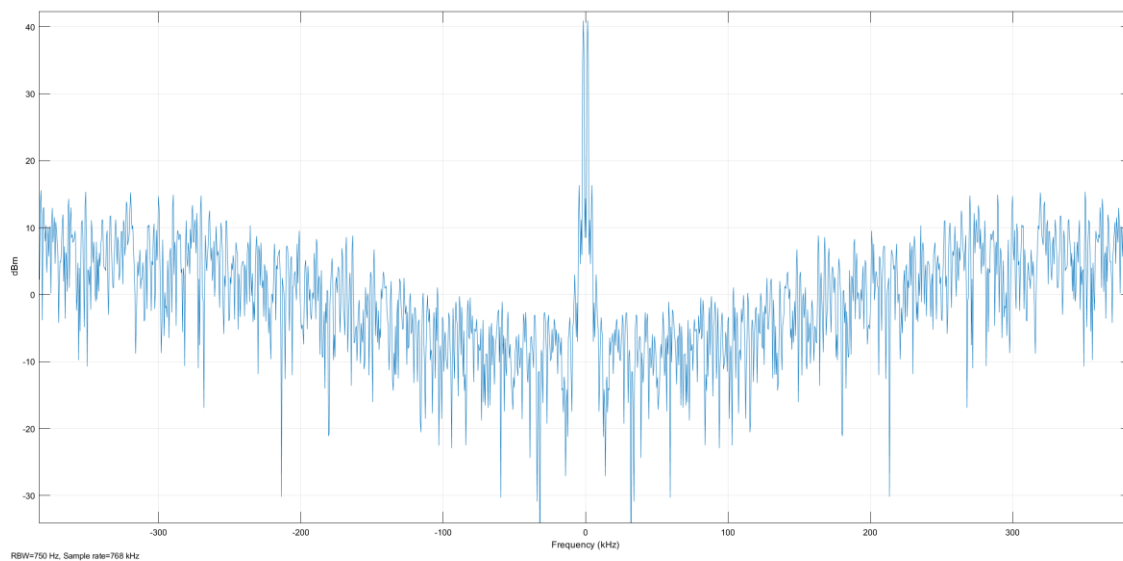


Figura 35.- Espectre del senyal sinusoidal amb MASH de tercer ordre implementat amb System Generator

Comparant amb la figura 32, s'observa que el modelat de soroll no és tant efectiu. No obstant, és fàcil que aquestes configuracions resultin inestables, i experimentalment s'ha trobat que el modelat de tercer ordre és el que ofereix la resposta més eficient.

6. Delmat

6.1. Principi de funcionament

Tot i la reducció del nombre de bits del senyal, les velocitats de rellotge necessàries per a una posterior modulació són excessivament elevades, motiu pel qual es procedeix a una reducció de la freqüència de mostreig, també anomenada delmat. Aquest procés no té conseqüències sobre el soroll de quantificació, atès que la senyal ja està degudament quantificada.

La manera d'implementar el delmat es pot resumir en dos processos:

- Realitzar un filtrat passa-baixos: es tracta d'un filtre antialiàsing. Cal prevenir que certes components freqüencials que no ocasionaven problemes a la freqüència de sobre mostreig intervinguin a causa de la seva reducció.
- Descartar mostres: si es té la seqüència $x[n]$ i es realitza un delmat pel valor de M , s'ha de procedir a descartar totes les mostres que no siguin múltiples de M . Per tant, la sortida y s'expressarà com a $y[nM]$.

Ja que el filtrat passa-baixos s'ha realitzat posteriorment al procés de *Noise Shaping*, només es necessària la descarta de mostres.

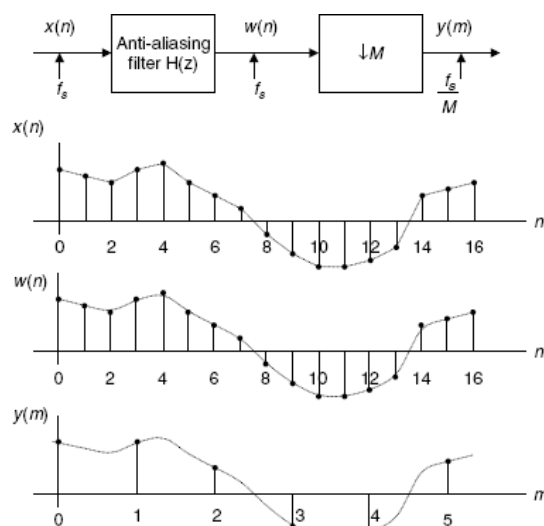


Figura 36.- Formes d'ona del procés de delmat. Font: [15]

A nivell freqüencial, el fet de reduir la freqüència de mostreig, en contraposició amb l'augment comentat a la secció 4, la DTFT provoca un eixamplament d'espectre. Resulta intuïtiu si es considera que la nova freqüència de mostreig està més propera a la banda base, i l'escalat deixa més cabuda pels espectres en el mateix interval $[0, 2\pi]$.

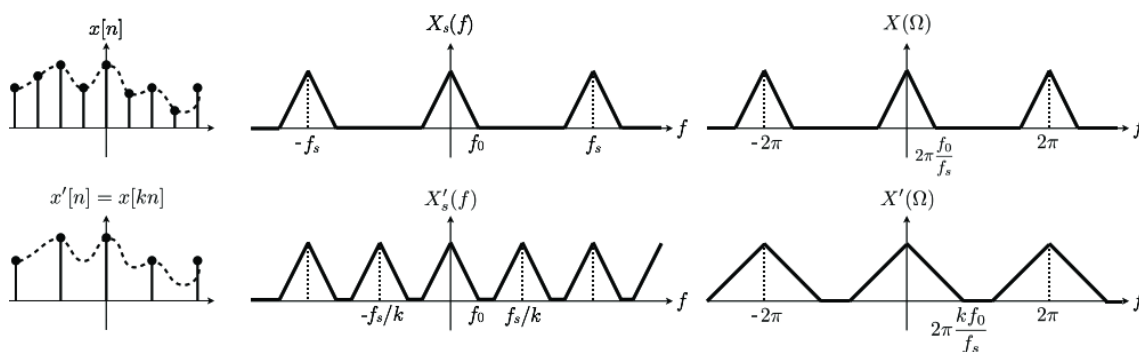


Figura 37.- Espectre freqüencial del procés de delmat. Font: [1]

A la figura superior es mostra el fenomen mencionat. L'eixamplament de l'espectre ve donat per el factor k que fa referència al rati de disminució de la freqüència de mostreig.

6.2. Entitat delmat

S'ha creat una entitat anomenada *downsampling*, la qual redueix la freqüència de mostreig en un factor de 4. També es sincronitza aquesta nova freqüència de mostreig amb el rellotge mestre, per tal d'utilitzar-lo en el posterior procés de modulació sense problemes de sincronisme.

Aquesta entitat té les següents entrades i sortides:

- Entrada **clk**, referent al rellotge mestre de la FPGA de 100 MHz.
- Entrada **mostra_quantificada_in[5:0]**, senyal quantificada de 6 bits procedent del *Noise Shaping*.
- Entrada **fs_filtre**, freqüència de sobre mostreig desfasada per l'anterior filtrat d'interpolació.
- Entrada **active_in**, per indicar que la recepció s'està realitzant correctament.
- Sortida **fs_downsamp**, referent a la nova freqüència reduïda.
- Sortida **mostra_quantificada_downsampled[5:0]**, senyal quantificada de 6 bits amb la freqüència reduïda.

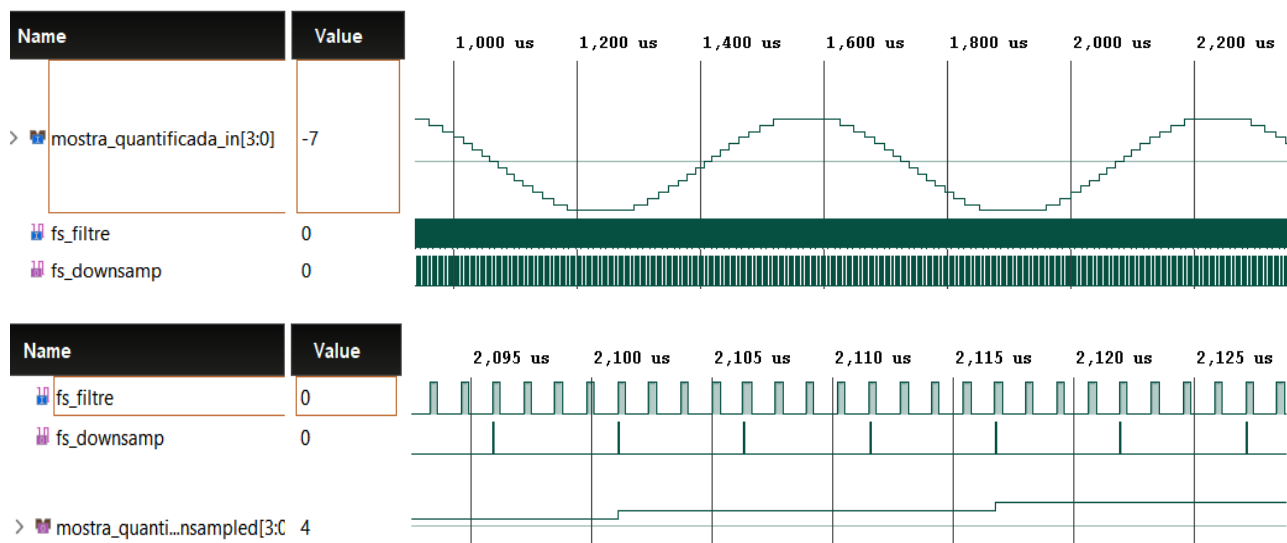


Figura 38.- Cronogrames d'interval·s de simulació de l'entitat de delmat

La figura superior mostra dos cronogrames de la simulació de l'entitat *downsampling*. En el primer cronograma pot observar-se de forma general el senyal quantificat i les freqüències d'entrada i sortida de l'entitat. El segon, ofereix una visió més ampliada del procés de delmat. Cal notar també que l'ample de pols dels flancs de la nova freqüència *fs_downsamp* també s'han reduït.

7. Modulació PWM

La modulació per ample de pols és l'última etapa implementada mitjançant la FPGA. Com s'ha comentat a la introducció, es basa en la comparació del senyal original amb una ona triangular o dent de serra. Cal mencionar que aquest procés és una de les principals fonts de distorsió, però la seva realització digital en millora certs aspectes enfront la analògica (encara que el principi de funcionament d'aquesta ofereixi menys distorsió). D'entre aquests aspectes mencionar una generació més fiable de l'ona triangular o dent de serra, la qual en cas d'imperfeció provoca certa distorsió; així com també una millora respecte el procés de comparació analògic el qual és susceptible a l'aparició de soroll i a la vegada de corrents de polarització no desitjats.

7.1. UPWM i NPWM

Hi ha diverses formes de realitzar la mencionada comparació. Pot convertir-se el senyal digital en analògic i efectuar la comparació amb aquest nou senyal. És el que s'anomena *Natural Pulse Width Modulation* (NPWM). D'altra banda, si es realitza la comparació amb el senyal com un conjunt de mostres, es parla de *Uniform Pulse Width Modulation* (UPWM). Resulta intuïtiu que la modulació NPWM esdevé més fiable i lliure de distorsió. No obstant, el fet de generar la senyal analògica a partir de la digital suposa un major cost computacional.

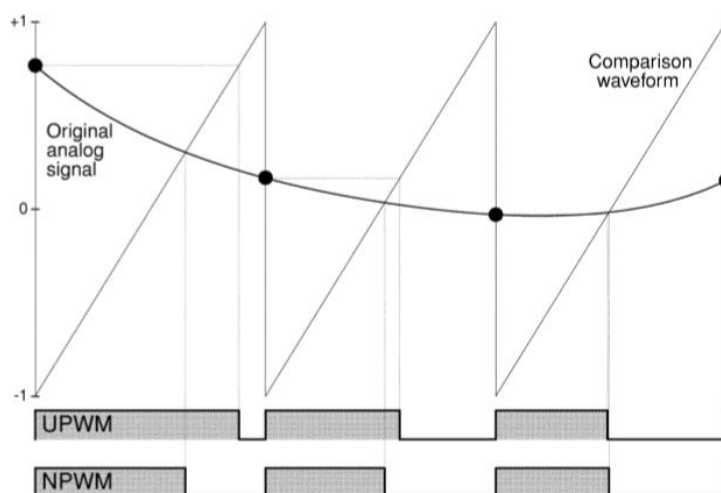


Figura 39.- Diferències entre formes d'ona en modulació UPWM i NPWM.

Font: [9]

A nivell espectral, és de rellevància mencionar que modular uniformement introdueix distorsió harmònica, la qual no és present amb la modulació natural.

Per la seva facilitat d'implementació, s'ha considerat utilitzar modulació UPWM. A la imatge inferior es pot observar tant la distorsió harmònica com els productes d'intermodulació que es generen en aquest procés

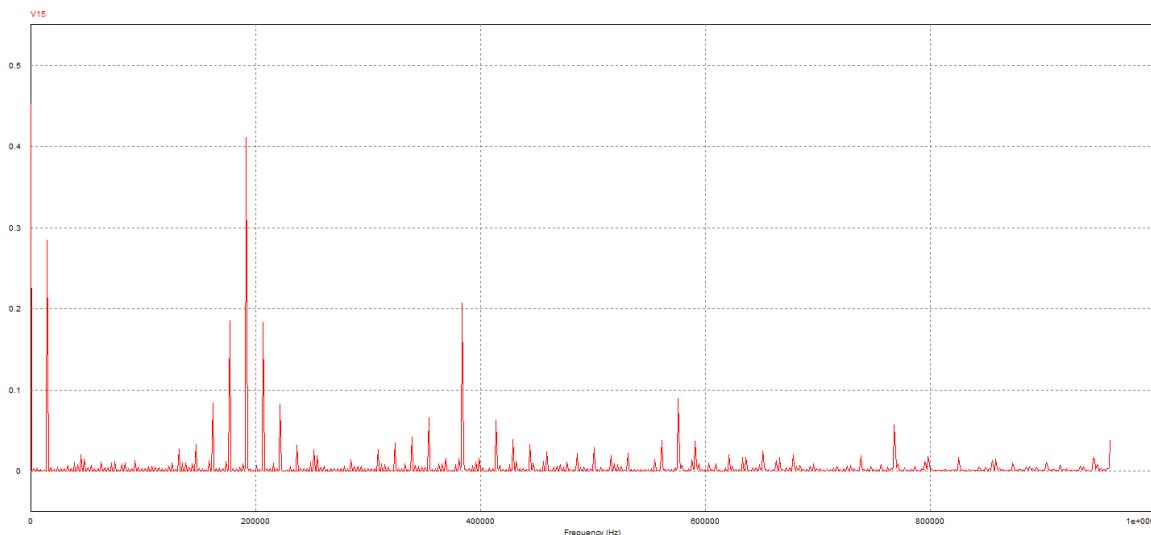


Figura 40.- Espectre freqüencial de modulació UPWM per atacar un pont de transistors

7.2. Entitat PWM

L'entitat generada per a la modulació, anomenada *pwm* consta de les següents entrades i sortides:

- Entrada ***clk***, referent al rellotge mestre de la FPGA de 100 MHz.
- Entrada ***mostra_pwm[5:0]***, senyal quantificada de 6 bits procedent del delmat.
- Entrada ***fs_pwm***, freqüència de mostreig de 192 kHz, procedent del delmat.
- Entrada ***active_in***, per indicar que la recepció s'està realitzant correctament.
- Sortida ***pwm***, referent al senyal modulad.
- Sortida ***pwm_n***, senyal modulad complementari a l'anterior.
- Sortida ***led_pwm***, visualització mitjançant indicador LED de l'estat de la sortida ***pwm***.
- Sortida ***led_pwm_n***, visualització mitjançant indicador LED de l'estat de la sortida ***pwm_n***.

Les sortides LED són a nivell indicatiu per visualitzar si s'està efectuant el procés de comparació. Qualitativament no s'apreciarà la modulació ja que la freqüència de canvi és massa elevada per a la captació de l'ull humà.

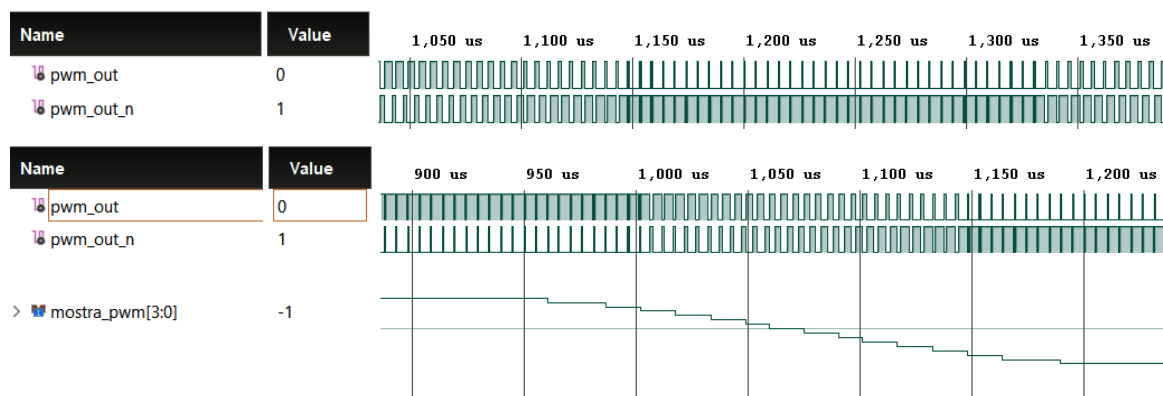


Figura 41.- Cronogrames d'interval de simulació de la entitat moduladora

Els cronogrames de la figura superior pertanyen a la simulació de l'entitat. En el primer d'aquests es mostren les sortides modulades complementàries. A l'inferior, de forma més detallada es pot observar com l'amplada de pols ve donada per l'amplitud del senyal quantificat **mostra_pwm[5:0]**.

Mitjançant la visualització de les formes d'ona a la sortida, s'ha considerat que degut als temps de pujada i baixada el retard de la sortida del *driver* pot no ser suficient per a evitar que les dues sortides entrin en conducció a la vegada. Per aquest motiu, des de la pròpia entitat de modulació s'ha afegit cert temps mort per tal d'evitar la conducció creuada que es menciona al següent capítol. Això sí, amb la conseqüència d'augmentar la distorsió harmònica.

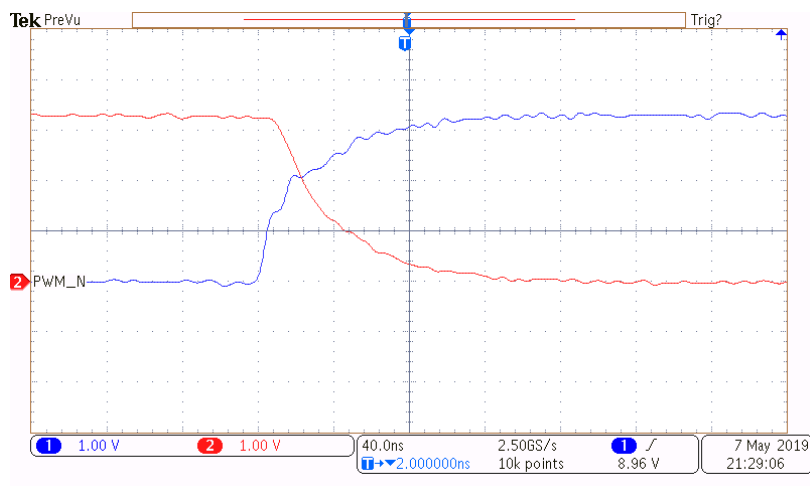


Figura 42.- Captura d'oscil·loscopi de conducció creuada a les sortides PWM. CH1: PWM. CH2: PWM_N. V: 1V/DIV. H: 40 ns/DIV

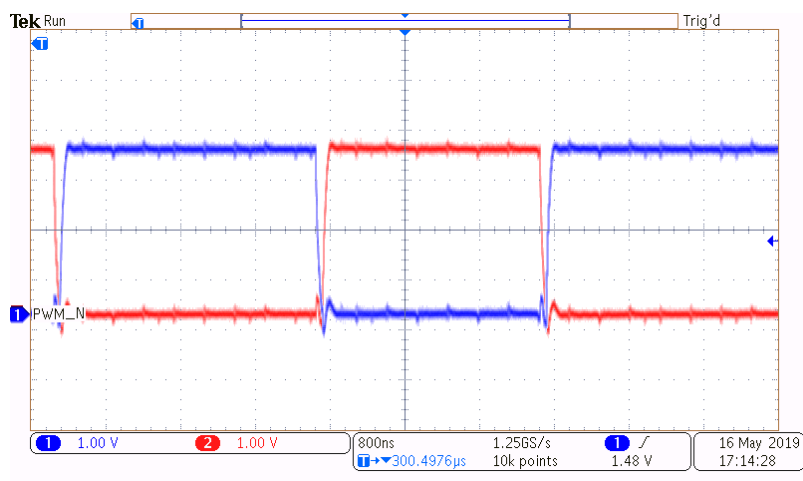


Figura 43.- Formes d'ona de les sortides PWM. CH1: PWM. CH2: PWM_N. V: 1V/DIV. H: 800 ns/DIV

8. Etapa de sortida

8.1. Driver de sortida

Aquest capítol fa referència a l'etapa intermèdia entre la sortida de la FPGA i el pont de transistors. El *driver* és l'encarregat d'atacar l'etapa de sortida. Subministra els nivells de tensió i corrent adequats per tal de commutar els MOSFET correctament. És necessari, ja que la FPGA no proporciona una sortida amb la potencia i el corrent necessari per a aquesta finalitat.

A l'hora d'escollir un *driver* s'han tingut en compte els següents factors:

- Compatibilitat de nivells lògics: L'entrada del *driver* ha de poder acceptar els 3,3 volts de la sortida de la FPGA
- Temps de pujada i baixada: En un senyal rectangular els flancs de pujada i baixada teòricament es realitzen en temps zero. Atenent a la freqüència a la que es vulgui treballar, el *driver* ha de proporcionar aquests temps suficientment reduïts per tal de no distorsionar el senyal.
- Corrent subministrat: El temps d'encès i d'apagat dels MOSFET depèn entre altres factors de les seves capacitats paràsites. La càrrega d'aquestes capacitats serà més ràpida si el corrent que es subministra és elevat.
- *Shoot-through* (conducció creuada): Aquest fenomen apareix degut als flancs de les sortides complementàries. Tal com està realitzat el disseny, a l'estat de canvi de la sortida PWM i la seva complementària, existeix un instant on tots dos transistors podrien estar conduint. Aquest fet sumat al baix valor de resistència R_{DS} del transistor pot veure's com un curtcircuit entre alimentació i massa en cas d'alimentació unipolar. S'ha d'assegurar que el *driver* escollit afegeixi un temps mort entre sortides, o en cas contrari assegurar algun mecanisme per a realitzar-lo.

Tenint en compte els punts mencionats, el *driver* escollit és el IR2110 d'*International Rectifiers*. Aquest està pensat perquè tant la branca superior com inferior del pont de transistors estigui format per transistors NMOS. Degut a la seva configuració de massa superior flotant, amb un simple circuit anomenat circuit de *bootstrap*, s'ofereix un camí de càrrega que permet polaritzar el transistor superior.

Interessa aquest tipus de transistors ja que amb la mateixa geometria i condicions d'operació, com a portadors majoritaris els electrons són millors que els forats; motiu que implica una menor resistència drenador-font ($R_{DS(on)}$) dels NMOS respecte els PMOS, i en conseqüència menors pèrdues.

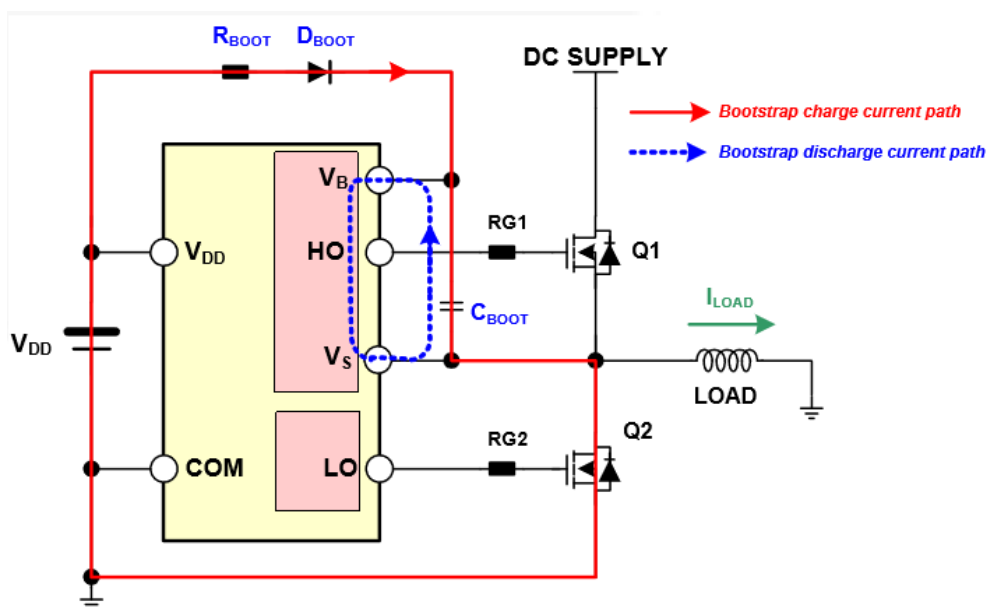


Figura 44- Funcionament de la circuiteria de bootstrap. Camins de càrrega i descàrrega. Font: [27]

La figura 44 mostra la topologia bàsica de *bootstrap* de la majoria de *drivers* integrats per a commutació de MOSFETs de potència. L'activació del transistor inferior Q2 ofereix un camí a massa, on a través de R_{BOOT} i D_{BOOT} el condensador C_{BOOT} es carrega. L'activació de Q1 produirà que V_S estigui a una tensió superior, i així el condensador es descarrega proporcionant tensió a través de la sortida superior. Així doncs, mentre la sortida inferior serà referenciada respecte al terminal de massa, la superior ho serà respecte el terminal V_S .

8.2. Circuit en pont complet

La topologia escollida per al circuit de l'etapa de sortida és la de pont complet. Per la forma de disposar la càrrega, també sol anomenar-se BTL (*Bridge-Tied Load*). Consta de la unió de dues estructures de mig pont per tal d'atacar a la càrrega diferencialment. L'estructura permet en tot moment un camí de conducció a través de la càrrega, ja que els dos possibles camins s'alternen amb la commutació. D'aquesta manera s'evita l'ús de condensadors d'acoblament per bloquejar nivells de contínua quan es treballa amb alimentació unipolar. La càrrega d'aquests condensadors pot arribar a ser audible, per això es procura evitar-los.

La contrapartida és que resulta una estructura més complexa i costosa respecte el mig pont.

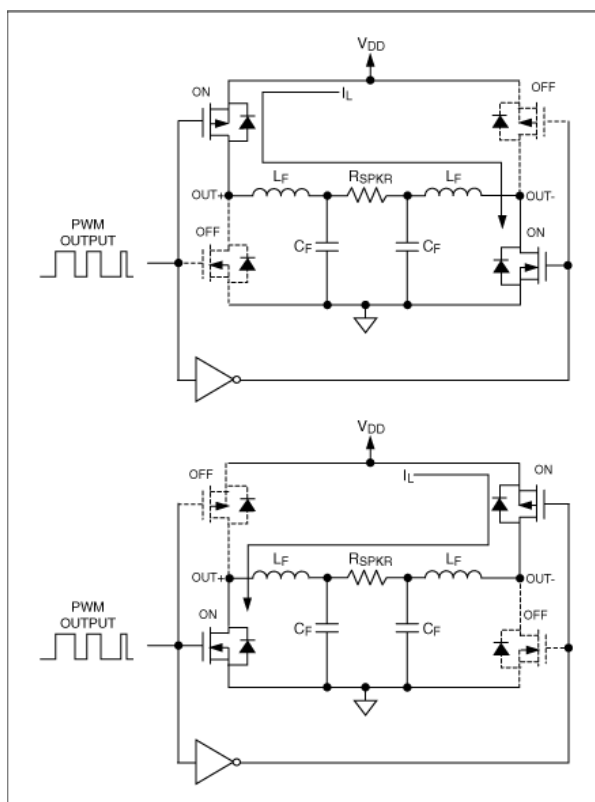


Figura 45.- Topologia d'etapa de sortida en pont complet. Camins de càrrega i descàrrega. Font: [25]

La configuració de l'estructura demostra que s'ha d'evitar que els transistors complementaris estiguin conduint a la vegada, ja que es crearia un curtcircuit directe des

d'alimentació a massa. Això justifica l'èmfasi en generar els temps morts que es mencionen al capítol 7.

8.3. Filtre LC

El filtre de sortida considerat, format per dues inductàncies i condensadors, està en consonància amb l'estructura diferencial del pont de transistors, filtrant el senyal entre els terminals de l'altaveu. Ja que cada un dels condensadors té un terminal a massa, es tracta d'un filtre en mode comú, passa-baixos i de segon ordre. Buscant la resposta més plana possible a la banda de pas, s'ha optat per un filtre *Butterworth*. S'establirà una freqüència de tall superior a 20 kHz per tal de no patir atenuació a la banda audible. És important fer una curosa selecció tant per al dimensionat com per al material dels components.

A l'hora de dimensionar els components, cal tenir en compte que cada una de les inductàncies està en sèrie amb un dels terminals de l'altaveu, motiu pel qual el valor de cada una serà la meitat del valor que tindria la configuració *single-ended* àmpliament coneguda. El mateix passa amb els condensadors, els quals hauran de tenir el doble de capacitat.

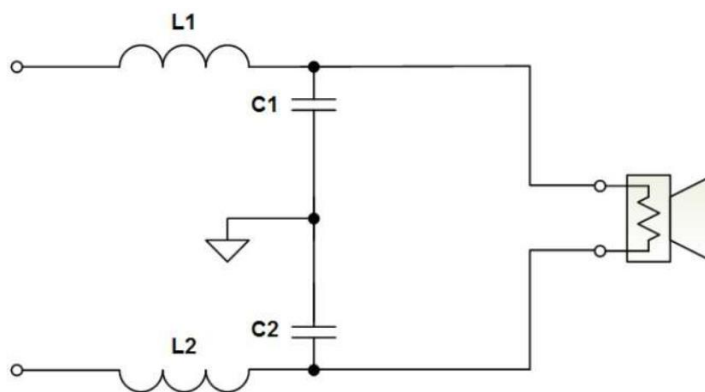


Figura 46- Filtre LC en mode comú. Font: [16]

Respecte el tipus de material dels components, és convenient utilitzar inductàncies toroïdals ja que pràcticament gaudeixen de l'absència de resistència paràsita. Són el tipus d'inductàncies predilectes per al disseny de filtres. Per al condensador, cal evitar els electrolítics per la seva inductància paràsita; així com els ceràmics que degut al seu material de fabricació poden experimentar canvis en la capacitat en funció del voltatge aplicat. Un condensador de pel·lícula una bona alternativa.

8.4. Proposta d'etapa de sortida. Càlcul i dimensionat de components

L'annex A3 conté l'esquemàtic complet en format PDF.

Driver

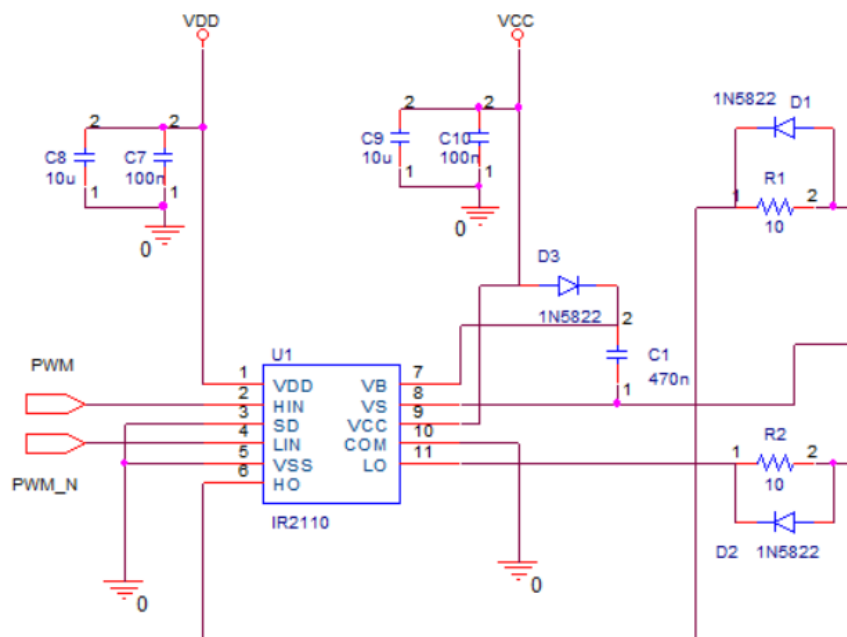


Figura 47.- Circuit d'activació de transistors utilitzat

- **R2 i R3** són resistències limitadores de corrent. El seu valor no ha de ser molt elevat donat que el corrent a entregar a les portes dels transistors no es pot reduir excessivament. S'han escollit de 10Ω .
- **D3 i C3** són els mencionats components de *bootstrap*. Per a D3 es considera un model de díode d'alta velocitat, per tal d'oferir una velocitat de commutació i temps de recuperació ràpids. S'ha escollit l'ús d'un díode Schottky, en concret el 1N5822. El valor de C3 depèn de molts factors, com ara la càrrega de la porta del transistor, la freqüència de commutació, el seu temps d'encesa, o corrents de filtrat del circuit, entre d'altres. Seguint la nota d'aplicació SLUA887 del fabricant *Texas Instruments* [26], s'ha calculat el valor mínim de capacitat, que com a regla empírica hauria de ser com a mínim deu vegades major a la capacitat de la porta del MOSFET a la qual ataca:

$$C_{BOOT} \geq 10 \cdot C_g \quad (8 - 1)$$

C_G refereix a la capacitat de la porta del transistor, la qual ve donada per:

$$C_g = \frac{Q_g}{V_{Qg}} \quad (8 - 2)$$

A la seva vegada, el terme V_{Qg} és determinat per la següent expressió:

$$V_{Qg} = V_{CC} - V_{DBOOT} \quad (8 - 3)$$

El valor mínim de C_{BOOT} és de 54 nF. S'ha escollit el valor arbitrari de 470 nF.

- **D1 i D2** són per a oferir un camí més ràpid per a la descàrrega de les capacitats de la porta dels MOSFET evitant les resistències limitadores. També són 1N5822.
- **C7, C8, C9 i C10** són condensadors de desacoblament, per tal de derivar les altes freqüències a massa i aconseguir una alimentació estable. Per als més propers als connectors d'alimentació es considera un condensador ceràmic de 100 nF per a les freqüències més elevades. En paral·lel, un electrolític de 10 μ F.

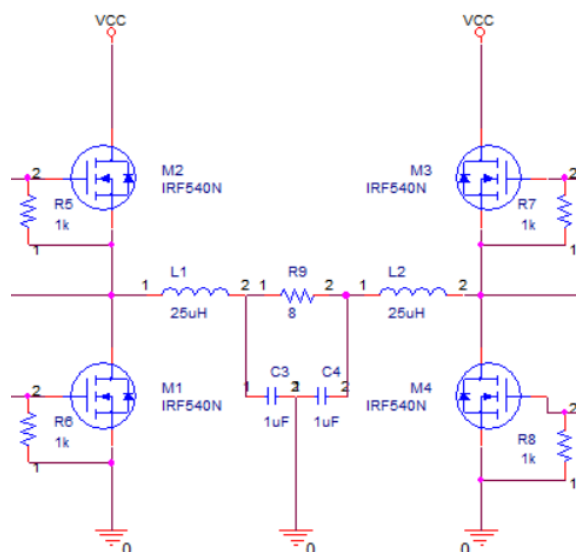
BTL i filtre

Figura 48.- Pont de transistors utilitzat

- Els transistors escollits (**M1**, **M2**, **M3**, **M4**) són els MOSFET de potència IRF540N, són aptes per a elevades freqüències de commutació.
- **R4** i **R5** són resistències de porta-font, que prevenen l'encesa accidental degut a la capacitat interna porta-drenador. Asseguren el nivell baix de tensió per als transistors. S'estimen de 1 kΩ

La freqüència de tall del filtre ve donada per l'expressió següent:

$$f_c = \frac{1}{2 \cdot \pi \sqrt{L \cdot C}} \quad (8 - 4)$$

I, al ser el filtre de segon ordre, el factor de qualitat:

$$Q = R_L \cdot \sqrt{\frac{C}{L}} \quad (8 - 5)$$

Si es desitja un filtre de *Butterworth* amb una resposta críticament esmorteïda, el factor Q s'aproxima a $\frac{1}{\sqrt{2}}$. La següent expressió determina el valor de la inductància total:

$$L = \frac{R_L \cdot \sqrt{2}}{f_c \cdot 2 \cdot \pi} \quad (8 - 6)$$

Per a una freqüència de tall de 32 kHz, superior als 20 kHz audibles per a una resposta més plana a la banda de pas, s'obté un valor d'inductància de 56 µH, que s'ha arrodonit a 50 µH.

- **L1 i L2** tenen un valor cada una de 25 µH, la meitat dels 50 µH obtinguts.

El valor de la capacitat total dels condensadors de filtre ve donada per:

$$C = \frac{1}{f_c \cdot 2 \cdot \pi \cdot R_L \cdot \sqrt{2}} \quad (8 - 7)$$

El valor de la capacitat és de 0,44 µF, arrodonit a 0,50 µF

- **C3 i C4** tenen el valor cada un de 1 µF, el doble dels 0,50 µF obtinguts

Potència de sortida i tensions d'alimentació

No es busca una elevada potència de sortida com en moltes aplicacions d'amplificadors de classe D, s'estableix una potència mitja de sortida de 15 W com a màxim. Si es considera una senyal sinusoïdal que actua sobre l'altaveu, i considerant-lo purament resistiu:

$$P_{mitja} = \frac{V_{RMS}^2}{R} = I_{RMS}^2 \cdot R \quad (8 - 8)$$

S'obtenen els valors següents: $I_{RMS} = 1,37$ A, $V_{RMS} = 10,45$ V.

$$I_{PIC} = I_{RMS} \cdot \sqrt{2} = 1,94 \text{ A}$$

$$V_{PIC} = V_{RMS} \cdot \sqrt{2} = 15,49 \text{ V}$$

En aquest cas la potència dissipada per l'altaveu serà d'uns 15 W de potència mitja i 30 W de potència de pic. Amb aquestes consideracions s'ha escollit l'altaveu *Visaton VS-R10SC/8*.

Per tal de no sobrepassar els límits de potència marcats i donar suficient marge de seguretat s'estableix una tensió màxima d'alimentació V_{MOS+} de 15 V.

La tensió d'alimentació V_{DD} del *driver* depèn del nivell de tensió necessari per a interpretar com un '1' lògic.

El fabricant proporciona la següent gràfica:

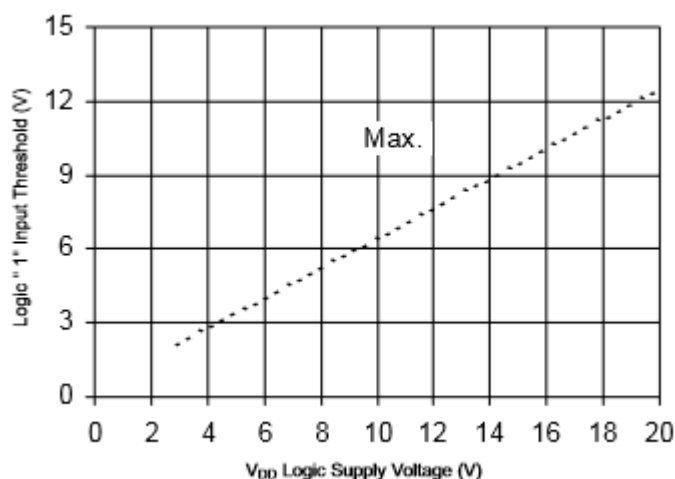


Figura 49.- Llindar de tensió d'1 lògic en funció de tensió d'alimentació VDD

Per a 3,3V a la entrada una tensió V_{DD} de 4 V resulta suficient.

L'altra tensió d'alimentació del *driver* V_{CC} es recomana que estigui compresa entre 10 i 20 volts. Aprofitant la tensió V_{MOS+} , aquesta també serà de 15 volts.

9. Implementació i resultats

En aquesta secció es mostra el resultat d'integrar les etapes anteriors per al correcte funcionament de l'amplificador.

9.1. Implementació física

El suport físic del projecte es mostra a la següent imatge:

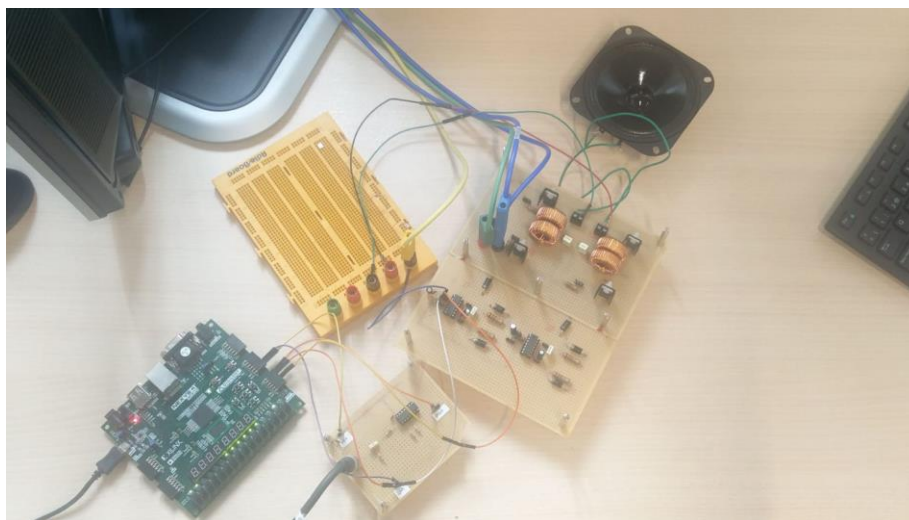


Figura 50.- Vista del sistema implementat

El condicionament del senyal i la etapa de sortida, s'han realitzat mitjançant plaques de baquelita. Aquestes estan connectades amb la FPGA. El circuit condicionador està alimentat amb la tensió de la FPGA, i l'etapa de sortida amb els dos canals d'una font d'alimentació.

El següent enllaç condueix a un vídeo on es mostra el funcionament de l'amplificador:

<https://www.youtube.com/watch?v=hAlfSkX8HoA&feature=youtu.be>

Per a diferents ones sinusoidals a 250, 1000 i 2500 Hz respectivament, s'obtenen les diferents visualitzacions mitjançant oscil·loscopi:

250 Hz

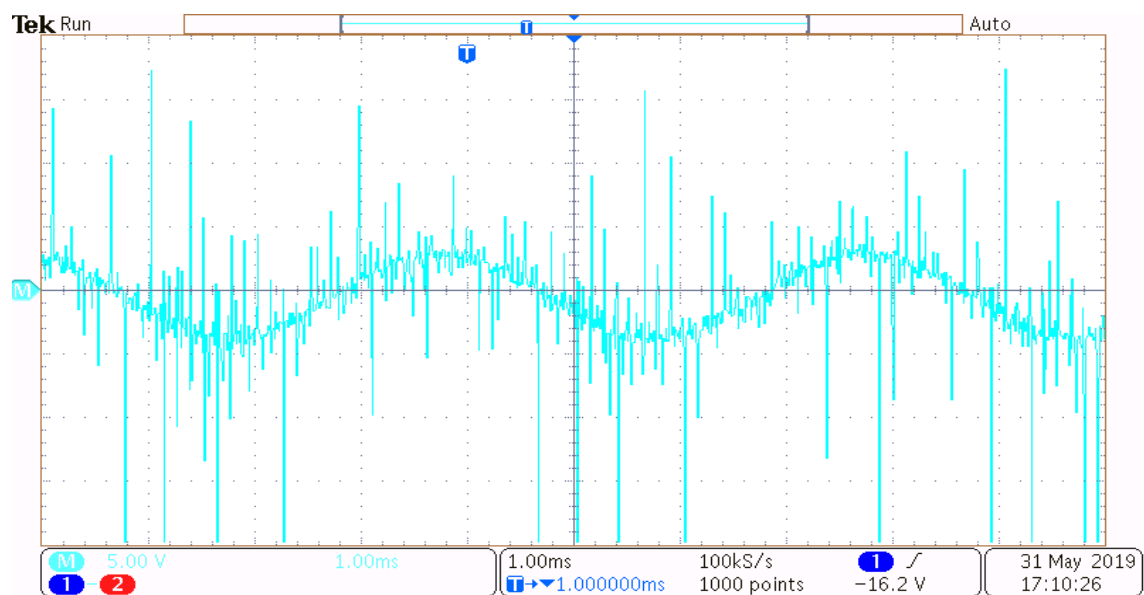


Figura 51.- Forma d'ona a la sortida de l'altaveu per a un to sinusoidal de 250 Hz. V: 5 V/DIV. H: 1 ms/DIV

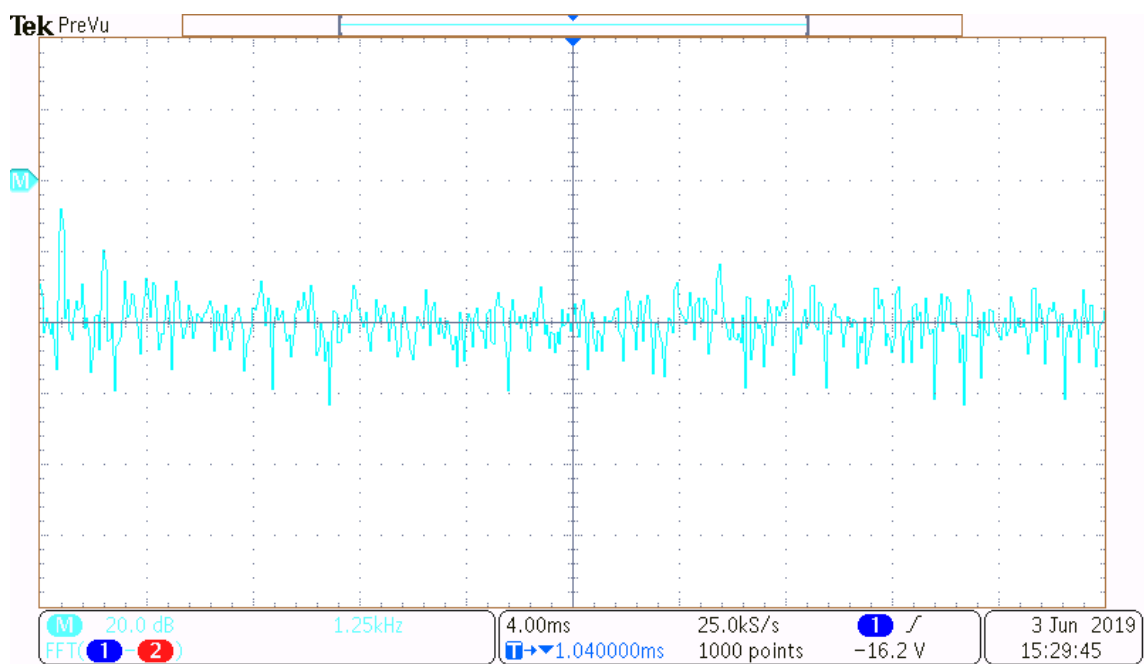


Figura 52.- FFT de la sortida de l'altaveu per a un to sinusoidal de 250 Hz, amb fenestrament Hanning. V: 20 dB_{RMS}/DIV. H: 1,25 kHz/DIV

1 kHz

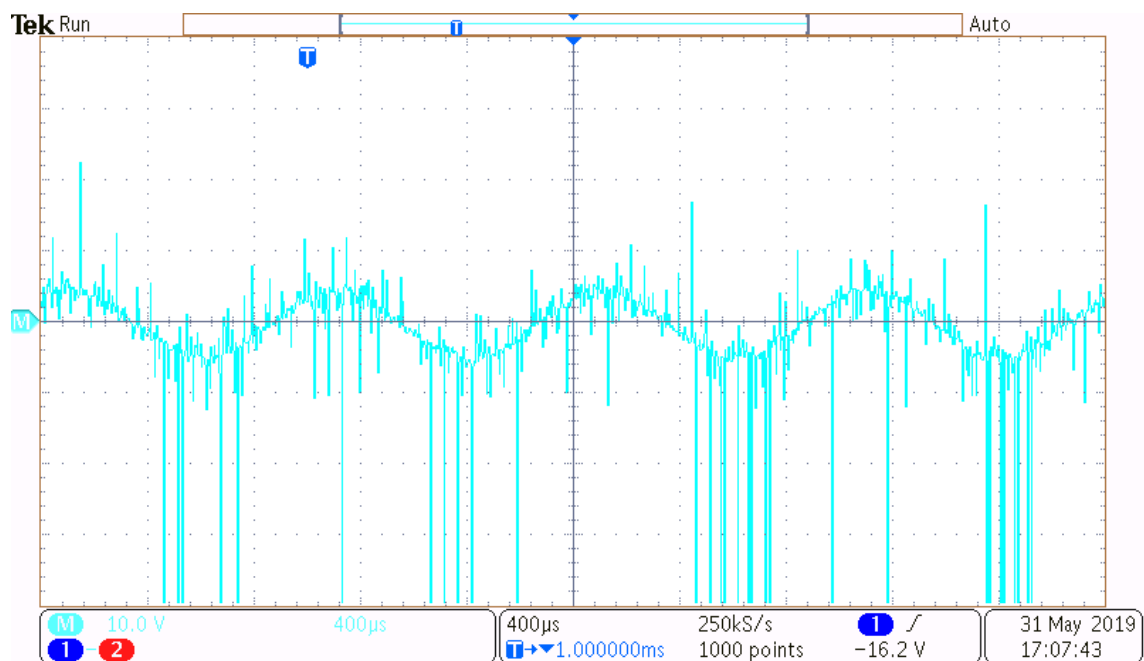


Figura 53.- Forma d'ona a la sortida de l'altaveu per a un to sinusoidal de 1 kHz. V: 10 V/DIV. H: 400 μs/DIV

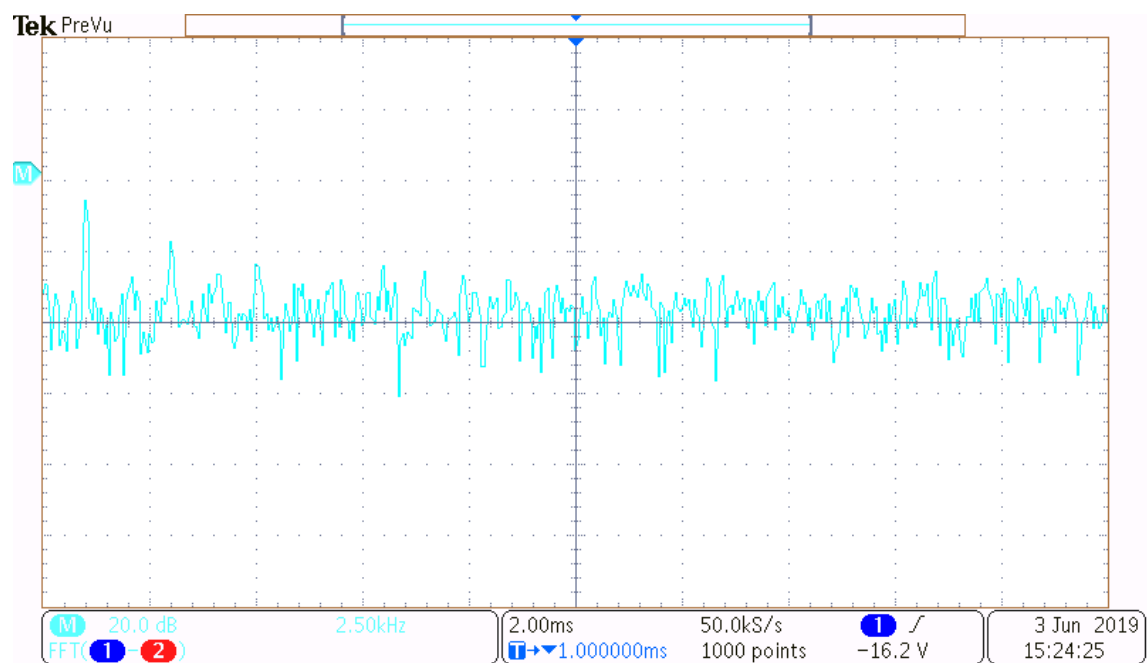


Figura 54.- FFT de la sortida de l'altaveu per a un to sinusoidal de 1 kHz, amb fenestrament Hanning. V: 20 dB_{RMS}/DIV. H: 2,5 kHz/DIV

2,5 kHz

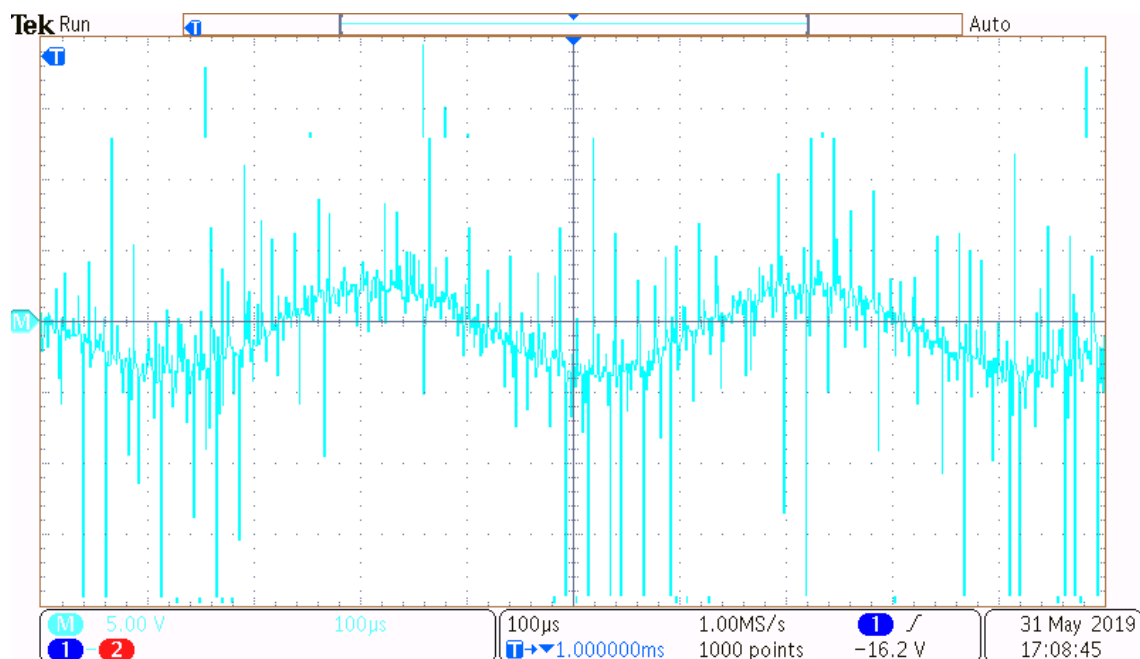


Figura 55.- Forma d'ona a la sortida de l'altaveu per a un to sinusoidal de 2,5 kHz. V: 5 V/DIV. H: 100 μs/DIV

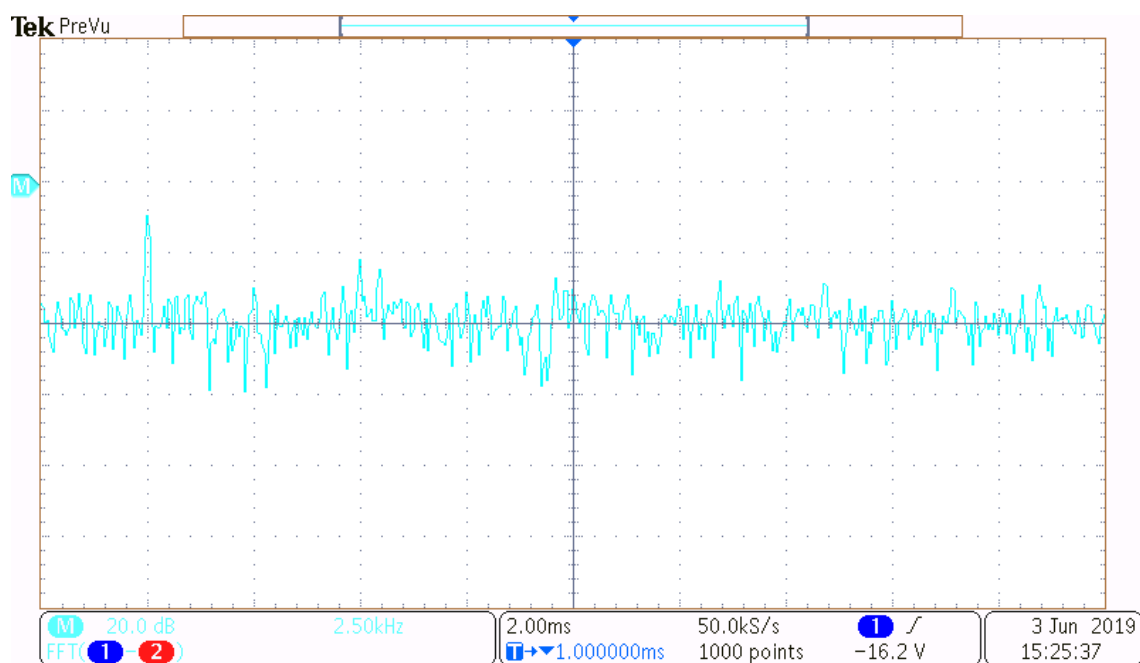


Figura 56- FFT de la sortida de l'altaveu per a un to sinusoidal de 1 kHz, amb fenestrament Hanning. V: 20 dB_{RMS}/DIV. H: 2,5 kHz/DIV

9.2. Implementació digital

La entitat final de la FPGA, que recull i instància cada una de les parts, s'anomena **top** consta de les següents sub-entitats (l'annex A2 en recull la vista d'esquemàtic):

- **receptor_spdif**
- **upsamp**
- **fir**
- **quantizer**
- **clkaux**
- **noiseshaper**
- **downsampler**
- **modulador**

Hi ha dues entitats auxiliars que s'han mencionat anteriorment, aquestes són **quantizer** i **clkaux**. La primera serveix per a evitar que la sortida del filtre d'interpolació superi els valors màxims i mínims d'una senyal de 16 bits en 2C. La segona tracta d'un rellotge a una freqüència inferior a la del rellotge mestre, en aquest cas de 20 MHz, que permet utilitzar correctament el *Noise Shaping* sense que el sistema conjunt experimenti violacions de temporització per treballar a velocitats massa elevades.

De forma qualitativa i quantitativa, s'adjunta a continuació el conjunt de recursos digitals emprats:

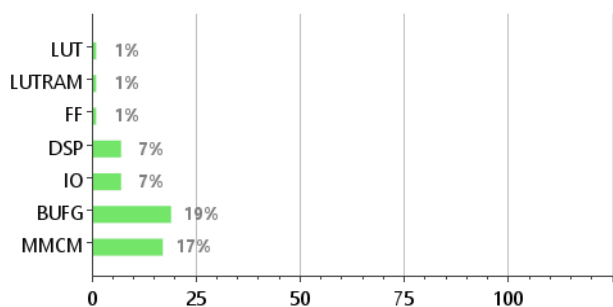


Figura 57.- Percentatge d'utilització de recursos

Resource	Utilization	Available	Utilization %
LUT	700	63400	1.10
LUTRAM	209	19000	1.10
FF	1061	126800	0.84
DSP	17	240	7.08
IO	15	210	7.14
BUFG	6	32	18.75
MMCM	1	6	16.67

Taula 3.- Recursos utilitzats, disponibles i percentatge d'utilització d'aquests

9.3. Anàlisi dels resultats

Com bé s'haurà pogut apreciar amb l'enllaç del vídeo, en absència de senyal i de forma més reduïda en presència d'aquesta, existeix un cert soroll de fons. Aquest soroll no és degut a l'error de quantificació, el qual perceptivament té un efecte de retall de certes parts del senyal i guarda més semblança amb un soroll blanc. Es tracta d'un soroll que accidentalment s'accentua de forma major a la desitjada. Ja que digitalment no s'ha observat l'aparició d'aquest fenomen, es considera que ve donat per l'etapa de sortida. Les mesures per a tons sinusoïdals també mostren l'elevada distorsió harmònica de la resposta (especialment per als greus) i la presència de pics no desitjats. És sabuda l'aparició de distorsió en etapes analògiques, i factors com els temps morts de les sortides complementàries, la pròpia commutació, components paràsits o distribució dels components, entre d'altres en poden ser causants.

La sortida d'àudio modulada correspon a mostres de 6 bits, i presenta una qualitat major a la estàndard d'aquest nombre de bits. Amb diferents pistes d'àudio corresponents a música de diferents gèneres la qualitat és similar. No hi ha problema en apreciar els nivells baixos de senyal i no es produeix distorsió per reducció del volum. Experimentalment s'ha comprovat l'eficàcia del *Noise Shaping*, així com també la seva tendència a la inestabilitat. No es recomana utilitzar una estructura com la mostrada a la secció 5.3 de més de tercer ordre, ja que a partir d'aquest augmenta la distorsió harmònica en proporció a l'ordre del sistema.

El consum de recursos de la implementació del sistema mitjançant la FPGA es troba dins de marges raonables, però és lleugerament elevat per a l'aplicació que s'està duent a terme. Cal notar com el sincronisme i la temporització és un dels majors reptes en aquest projecte. Els recursos amb més percentatge d'utilització BUFG (*Global Clock Buffer*) i MMCM (*Mixed-Mode Clock Manager*) n'estan estretament relacionats. Tampoc cal oblidar les múltiples operacions de multiplicació-acumulació, sobretot en els filtrats mitjançant filtres FIR, dels quals se'n ocupen els recursos de DSP; també anomenats *DSP slices*. S'aprecia considerablement la velocitat d'execució de la FPGA. La descodificació del senyal S/PDIF de les pistes d'àudio, sense importar la freqüència de mostreig d'aquestes, i l'obtenció de la sortida modulada es realitza pràcticament a l'instant.

Totes les parts funcionen de la forma desitjada, el so es reproduïx correctament, i no es produeix sobreescalfament de components ni interrupcions en el funcionament del sistema un cop aquest està en marxa.

9.4. Possibles canvis i millores

La versatilitat del projecte permet que a continuació es mencionin diferents aspectes, molts d'ells relacionats entre si, que podrien millorar el resultat del projecte o oferir-ne una solució diferent:

- Utilitzar cable òptic en comptes de coaxial per a transmetre el senyal codificat BMC. D'aquesta manera no és necessari el circuit condicionador.
- Canviar el receptor de senyal. El receptor S/PDIF utilitzat no ofereix un sincronisme totalment exacte, la freqüència del *bit rate* de la senyal d'àudio ***sclk*** no és exacta. Utilitzant un altre receptor podria obtenir-se una recuperació del senyal completament síncron, i d'aquesta manera poder tenir més flexibilitat a l'hora de treballar amb la FPGA.
- Augment de la freqüència de mostreig. Una de les conseqüències del punt anterior és la limitació de l'augment de la freqüència de mostreig. Degut al mencionat sincronisme, s'ha considerat un OSR de 16 com a suficient, però amb un senyal completament síncron, no hi hauria problemes en generar un OSR de 64, 128 o 256. Això pot millorar radicalment la presència del soroll de quantificació.
- Canviar estructura de *Noise Shaping*. Una freqüència més elevada, no comportaria inconvenient una major reducció del nombre de bits. Podria utilitzar-se un quantificador d'un bit, com en el cas d'un convertidor analògic a digital mitjançant modulació sigma delta.
- Realitzar la etapa de sortida amb circuit imprès (PCB). Reorganitzar la distribució de components per tal d'enfrontar millor les interferències.
- Realitzar els filtres FIR utilitzats mitjançant codi VHDL, i no amb els blocs IP de Vivado. És cert que per exemple en el cas del filtrat d'interpolació el filtre a utilitzar és bastant restrictiu i pot resultar una mica tediós elaborar-lo mitjançant codi, però per altra banda els blocs IP contenen múltiples funcionalitats que no s'han utilitzat i generen un major consum de recursos.

10. Anàlisi de l'impacte ambiental

L'enfoc de l'impacte ambiental en aquest projecte s'ha realitzat des de l'òptica de la contaminació acústica, i de les directives d'ús de components electrònics i residus generats.

10.1. Contaminació acústica

Es defineix aquesta com la presència en un medi de sorolls o vibracions, de qualsevol emissor acústic, que impliquin molèsties i/o danys per a les persones en el desenvolupament de les seves activitats, o efectes significatius sobre el medi ambient. Es tracta d'un fenomen estès i altament perjudicial, amb efectes sobre la qualitat de vida i riscos per a l'audició. Se'n deriven problemes tant psicològics com fisiològics.

El soroll, entès com a pressió sonora es mesura en decibels (dB). La mesura en decibels, al ser comparativa es realitza respecte un so al llindar d'audició humana (0 dB). Cal tenir en compte que la percepció humana és subjectiva, i l'augment de pressió sonora no és proporcional a aquesta percepció. A més, hi ha certs factors de rellevància com el tipus de so o l'entorn on aquest s'aplica que incideixen en el nivell de soroll.

La taula següent, adaptada de l'organització mundial de la salut proporciona exemples de valors d'intensitat sonora, i el seu efecte sobre l'organisme.

Presión sonora	Ambientes o actividades	Sensación / Efectos en el oído
140-160 dB	explosión, petardo a 1 m	daños permanentes inmediatos del oído, rotura tímpano
130 dB	Avión en despegue a 10 m, disparo de arma de fuego	Umbral del dolor
120 dB	Motor de avión en marcha, martillo neumático pilón (1 m)	
110 dB	Concierto de rock, motocicleta a escape libre a 1 m	daños permanentes del oído a exposición de corta duración
100 dB	sierra circular a 1m, discoteca, sirena de ambulancia a 10m	sensación insoportable y necesidad de salir del ambiente
90 dB	calle principal a 10 m, taller mecánico	sensación molesta daños permanentes al oído a exposición a largo tiempo
80 dB	Bar animado calle ruidosa a 10 m	
70 dB	coche normal a 10 m, aspirador a 1m, conversación en voz alta	ruido de fondo incomodo para conversar
60 dB	Conversación animada, televisión a volumen normal a 1 m	ruido de fondo agradable para la vida social
50 dB	Oficina, Conversación normal, a 1 m de distancia	
40 dB	Biblioteca, conversación susurrada	
30 dB	frigorífico silencioso, dormitorio	nivel de fondo necesario para descansar
20 dB	habitación muy silenciosa, rumor suave de las hojas de un árbol	
10 dB	Respiración tranquila	
0 dB	Umbral de audición	silencio

Taula 4.- Exemples de magnituds sonores i efectes per a l'organisme

A Catalunya, el marc d'actuació en front la contaminació acústica és exercida a nivell municipal. La ordenació la efectua la Generalitat, i els ajuntaments són els encarregats de fer les actuacions en els seus respectius àmbits territorials. La llei 16/2002 de protecció contra la contaminació acústica dictada per la Generalitat recull mesures per a la prevenció i la correcció de la contaminació acústica al territori català, així com l'establiment d'un règim d'intervenció administrativa.

En el desenvolupament d'aquest projecte, s'ha tingut en compte l'acció de sorolls perturbadors que poden incrementar el nivell de potència acústica afavorint la mencionada contaminació.

10.2. Elaboració del prototip

En l'àmbit de l'enginyeria electrònica, cal tenir en compte dues directives referides a la sostenibilitat mediambiental a l'hora de desenvolupar prototips electrònics:

- Directiva 2002/95/CE de restricció de substàncies perilloses en aparells elèctrics i electrònics RoHS (*Restriction of Hazardous Substances*). S'estableix la prohibició d'emprar una sèrie de substàncies en la elaboració d'equips electrònics. Aquestes són: plom, mercuri, cadmi, crom VI (hexavalent), bifenil polibromat (PBB), èter difelínic polibromat (PBDE)
- Directiva 2012/19/CE de residus d'aparells elèctrics i electrònics RAEE. S'estableix una classificació per nivells del tipus de residu, fracció de recollida i grup de tractament.

Tots els components emprats compleixen amb la normativa RoHS. En cas de la generació de residus es realitzarà la seva classificació seguint la directiva RAEE.

Conclusions

Havent arribat al final de la realització d'aquest projecte, i recordant el seu títol, a nivell qualitatiu es pot considerar que l'amplificador d'àudio desenvolupat ha reduït gran mesura el soroll de quantificació. Una afirmació més encertada que s'han exposat i demostrat les tècniques que permeten reduir aquest soroll. S'han pogut implementar totes les etapes inicialment plantejades, i observar el resultat d'aquesta implementació a la sortida. El prototip desenvolupat permet observar com es realitza una amplificació de so que no acostuma a estar considerada, ja que resulta més intuïtiu el funcionament d'amplificadors que treballen de forma lineal. Una proposta de futur per a aquest amplificador és la de treballar en la integració de les seves parts; fer-lo reduït i portable de forma que resulti atractiu per aplicacions comercials.

A grans trets, cal destacar que es tracta d'un procés certament elaborat. Són diversos procediments els que s'han d'emprar en un amplificador de classe D controlat digitalment, amb interaccions entre el domini analògic i digital que s'han de realitzar de forma acurada ja que una petita errada comporta una alteració en conjunt de gran magnitud. No hi ha hagut cap solució que s'hagi aconseguit amb un sol intent, i s'ha precisat de temps i paciència, per tal d'analitzar la situació i enfocar la resolució de problemes.

L'aprenentatge ha estat constant, dos dels objectius marcats a l'inici del projecte eren els d'ampliar coneixements de disseny digital així com aprendre fonaments d'àudio digital. Considero que els dos s'han complert i han superat les expectatives marcades. Com ja ha vingut sent normal al llarg del projecte, a base de prova i error he pogut conèixer més a fons el món de les FPGA i el disseny digital, sent utilitzats com a suport per a la implementació d'algoritmes de processament de senyals. Les FPGA són sens dubte, una eina molt potent i amb una gran cabuda per al moment tecnològic actual i futur.

Respecte els fonaments d'àudio, aquest projecte m'ha donat la oportunitat de poder aprendre'n molts coneixements relacionats, així com també despertar un gran interès sobre tot el que queda per aprendre i les possibilitats que pot oferir. Sigui en el domini analògic o digital, m'agradaria concentrar els meus esforços professionals en el món del so.

M'agradaria afegir per últim una breu reflexió sobre l'efecte de la subjectivitat humana en un projecte com el present. Considero un tret molt interessant del projecte el fet que un procediment tècnic i delimitat com el que s'ha dut a terme sigui un mitjà per a una finalitat

que se'n allunya completament. És a dir, l'ús d'un amplificador d'àudio és el de reproduir sons que generen un impacte en l'oient; un impacte recolzat en fonaments subjectius en contraposició amb una elaboració objectiva i tècnica de l'amplificador. Qualsevol prototip que interaccioni amb els sentits i la percepció compartirà aquest fenomen, fet que el fa especial i diferent per a cadascú. Espero que l'amplificador desenvolupat no en sigui l'excepció.

Pressupost

Cost de la elaboració del prototip

A les següents taules adjuntes, es consideren també els costos imprevistos derivats de redimensionat de components, així com possibles errades i problemes de funcionament que han comportat la compra de més components.

Components passius

Referència	Descripció	Unitats	Cost total (€)
TH15K100	Condensadors polièster 15 nF 100 V	5	0,5008
PR50240H	Resistències 240 Ω de 0,5 W 5%	5	0,2560
JR10U63	Condensadors electrolítics 10 μ F 6 3V	5	0,7398
TH100K100	Condensadors polièster 100 nF 63 V	5	0,7033
THK470K63	Condensadors polièster 470 nF 63V	5	1,4220
CCS1K50	Condensadors ceràmics 100 nF	5	0,2830
JS1U63	Condensadors electrolítics 1 μ F 63 V	4	0,4396
PR0210H	Resistències 10 Ω de 2 W 5%	5	0,5107
PR011K	Resistències 1 k Ω de 1W 5%	5	0,5107
R25100H	Resistències 100 Ω de 0,25W 5%	5	0,2845
R2575H	Resistències 75 Ω de 0,25W 5%	5	0,2845
50L5	Inductàncies 50 μ H 2,5 A	4	3,7600
IVA 21%			2,0359
TOTAL			11,73 €

Components actius

Model	Descripció	Unitats	Cost total (€)
IRF540N	MOSFET de potència NMOS 100 V 28 A 150 W	6	7,5600
IR2110	Driver de potència	12	25,440
1N5822	Díode Schottky 3 A	6	0,4800
SN74HC04N	Buffer Inversor	1	1,0400
IVA 21%			7,2492
TOTAL			41,77 €

Altres (cables, connectors, plaques)

Referència	Descripció	Unitats	Cost total (€)
CC1142R	Cable multifilar 0,14 mm vermell	1	1,6500
CC1142B	Cable multifilar 0,14 mm blanc	1	1,6500
CC142G	Cable multifilar 0,14 mm gris	1	1,6500
CC242V	Cable multifilar 0,24 mm verd	1	2,6500
HQSS3542/1.5	Cable coaxial per àudio digital	1	9,9500
ZR14	Sòcols 14 potes	3	2,8050
VB125165	Placa baquelita 120x165 mm	3	10,200
BIL20R	Connector banana femella per PCB 4 mm vermell	1	2,0800
BIL20N	Connector banana femella per PCB 4 mm negre	1	2,0800
AC-021	Adaptador jack mascle a RCA femella	1	3,1500
M3X8NY25	Pack cargols i femelles DIN84	1	2,9355
29066	Dissipador per encapsulat TO220	6	3,3840
AM1812	Volandera mica per encapsulat TO220	6	1,1430
	Separadors hexagonals 8mm	1	5,4150

	Rotlle d'estany 100g	1	12,215
IVA 21%			12,870
TOTAL			74,17 €

TOTAL COST D'ELABORACIÓ DEL PROTOTIP	127,67 €
---	-----------------

Cost tècnic

En el cas hipotètic de remuneració econòmica per elaborat, es valora la duració horària de les diferents tasques desenvolupades. Es tindrà en compte un sou estàndard d'enginyer tècnic de 12,5 €/h

Tasca	Hores	Preu total (€)
Programació de FPGA	130	1625,00
Simulació i validació	80	1000,00
Mesura i control de components	20	250,00
Mà d'obra (muntatge de circuit)	30	375,00
Control de funcionament FPGA. Resolució de problemes i factors imprevistos	150	1000,00
Control de funcionament del circuit. Resolució de problemes i factors imprevistos	120	1875,00
Mesura i anàlisi de resultats	30	375,00
TOTAL		6500,00 €

Costos totals

El cost total associat a la comercialització d'una unitat són:

COST ELABORACIÓ	127,67 €
COST PERSONAL	6500,00€
TOTAL	6627,67€

Per a la comercialització industrial d'aquest dispositiu, s'han de considerar molts altres factors com ara costos d'automatització, transport, distribució, electricitat, personal, inversions (maquinàries, espai físic, formació de personal, màrqueting) entre altres.

Bibliografia

- [1] Manolakis, D; Ingle, V. *Applied Digital Signal Processing* [en línia]. Cambridge University Press, 2011. ISBN 0521110025. [Consulta: 26 febrer 2019]. Disponible a: <https://www.researchgate.net/file.PostFileLoader.html%3Fid%3D58857bab217e20547452c513&26asset>
- [2] Mealy, B; Trapero, F. *Free Range VHDL* [en línia]. Free Range Factory, 2013. ISBN 9788497364676 [Consulta: 23 febrer 2019]. Disponible a: http://freerangefactory.org/pdf/df344hdh4h8kjh3500ft2/free_range_vhdl.pdf
- [3] Meyer Baese, U. *Digital Signal Processing with Field Programmable Gate Arrays*. Springer Link Editions, 2001. ISBN 9783540413417.
- [4] Widrow, B; Kollár, I. Dither. *Quantization Noise, Roundoff Error in Digital Computation, Signal Processing, Control, and Communications* [en línia]. Cambridge University Press, 2008, p. 485-528. ISBN 9780521886710. [Consulta: 13 maig 2019]. Disponible a: <http://oldweb.mit.bme.hu/books/quantization/dither.pdf>
- [5] Zölzer, U. *Digital audio signal processing* [en línia]. Wiley John + Sons, 2008. ISBN 047099785 [Consulta: 30 abril 2019]. Disponible a: <http://ultra.sdk.free.fr/docs/DxO/%5BDSP%20-%20audio%5D%20%20Digital%20Audio%20Signal%20Processing%20-%20Zolzer.pdf>
- [6] Abreu, R; Cordeiro, L; Filho, E. *Verifying Fixed-Point Digital Filters using SMT-Based Bounded Model Checking* [en línia]. 2013. [Consulta: 20 maig 2019]. Disponible a: https://www.researchgate.net/publication/236688224_Verifying_Fixed-Point_Digital_Filters_using_SMT-Based_Bounded_Model_Checking
- [7] Chiverton, J. *Lecture 07: Multi-Rate Signal Processing* [en línia]. School of Information Technology, Mae Fah Luang University, 2009. [Consulta: 12 març 2019]. Disponible a: <http://www.pagines.fib.upc.es/~pds/Lect07.pdf>
- [8] Giesberts, T. Splitter for S/PDIF Coax/Optical Output. *Elektor Electronics Magazine*. July/August 1995, p 78-79. ISSN 1757-0875.
- [9] Pascual, C; Song, Z; Krein, P.T.; Sarwate, D.V.; Midya, P; Roekner, W. *High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results* [en línia]. IEEE Transactions on Power Electronics, Vol.18, No. 1, p. 473-485. January 2003. [Consulta: 18 gener 2019]. Disponible a: <https://pdfs.semanticscholar.org/ccae/f3313ce834010dd0ec4d94fd3adae943c3df.pdf>

- [10] Reiss, J. D. *Understanding Sigma-Delta Modulation: The Solved and Unsolved Issues* [en línia]. Journal of Audio Engineering Society, Vol.56, No. 1/2. January/February 2008. [Consulta: 29 abril 2019]. Disponible a: http://www2.ing.unipi.it/~a008309/mat_stud/MIXED/archive/A2011/Approfondimenti/Understanding_sigma_delta_CUT.pdf
- [11] Thakkar, D; Lethbridge, G; Targownik, T; Ling, A; Sadic, A.Z.; Beckett, P; Hussain, Z.M. *An FPGA-Based Digital Class-D Amplifier Using Short Word-Length* [en línia]. 2007 Australasian Telecommunication Network and Applications Conference, p 293-297. Christchurch, 2007. [Consulta: 18 gener 2019]. Disponible a: https://www.researchgate.net/publication/224345993_An_FPGA-based_digital_Class-D_amplifier_using_short_word-length
- [12] Ribes, N. Amplificador digital d'àudio de classe D. Treball de final de grau, UPC, Escola Universitària d'Enginyeria Tècnica Industrial de Barcelona, Departament d'Electrònica, 2011. [Consulta: 20 febrer 2019]. Disponible a: <https://upcommons.upc.edu/handle/2099.1/12851>
- [13] Arar, S. *Design examples of FIR Filters using Window Method*. A: All About Circuits [en línia]. EETech Media, 2016. [Consulta: 8 març 2019]. Disponible a: <https://www.allaboutcircuits.com/technical-articles/design-examples-of-fir-filters-using-window-method/>
- [14] Arar, S. *Structures for Implementing Finite Impulse Response Filters*. A: All About Circuits [en línia]. EETech Media, 2019. [Consulta: 10 febrer 2019]. Disponible a: <https://www.allaboutcircuits.com/technical-articles/structures-for-implementing-finite-impulse-response-filters/>
- [15] Tao, L. Multi Rate DSP, part 1: Upsampling and downsampling. A: *EETimes* [en línia]. AspenCore, 2008. [Consulta: 8 març 2019]. Disponible a: https://www.eetimes.com/document.asp?doc_id=1275556
- [16] Widder, J; Tao Zhao, Y. Understanding output filters for class D amplifiers. A: *EETimes* [en línia]. AspenCore, 2008. [Consulta: 20 abril 2019]. Disponible a: https://www.eetimes.com/document.asp?doc_id=1274877
- [17] *Pulse Width Modulation (PWM) Components*. A: MultiSim Live [en línia]. National Instruments. [Consulta: 23 març 2019]. Disponible a: <https://www.multisim.com/help/components/pulse-width-modulation-pwm-components/>
- [18]. *Developing a SPDIF Input Module in LabVIEW FPGA*. A: National Instruments [en línia]. National Instruments, 2014. [Consulta: 20 febrer 2019]. Disponible a: <http://www.ni.com/example/3255/en/>

- [19] Wang, R. *Signal Discretization*. A: Fourier Analysis and Image Processing [en línia]. 2007. [Consulta: 22 febrer, 2019]. Disponible a: <http://fourier.eng.hmc.edu/e101/lectures/Image_Processing/node2.html>
- [20] *Delta de Dirac*. A: Viquipèdia [en línia]. Wikimedia Foundation, 2019. [Consulta: 3 març 2019]. Disponible a: <https://es.wikipedia.org/wiki/Delta_de_Dirac>
- [21] *Line Code*. A: Viquipèdia [en línia]. Wikimedia Foundation, 2019. [Consulta: 1 març 2019]. Disponible a: <https://en.wikipedia.org/wiki/Line_code>
- [22] *Protocolo S/PDIF*. A: Viquipèdia [en línia]. Wikimedia Foundation, 2019. [Consulta: 1 març 2019]. Disponible a: <https://es.wikipedia.org/wiki/Protocolo_S/PDIF>
- [23] *Ruido de cuantificación*. A: Viquipèdia [en línia]. Wikimedia Foundation, 2019. [Consulta: 23 març 2019]. Disponible a: <https://es.wikipedia.org/wiki/Ruido_de_cuantificación>
- [24] Gaalaas, E. *Class D Audio Amplifiers: What, Why and How* [en línia], Analog Dialogue 40-06, June 2006 [Consulta: 25 gener 2019]. Disponible a: <<https://www.analog.com/en/analog-dialogue/articles/class-d-audio-amplifiers.html>>
- [25] *Class D Amplifiers: Fundamentals of Operation and Recent Development* [en línia]. Maxima Integrated, 2007. Application Note 3977. [Consulta: 18 abril 2019]. Disponible a: <<https://www.maximintegrated.com/en/app-notes/index.mvp/id/3977>>
- [26] *Bootstrap Circuitry Selection for Half-Bridge Configurations* [en línia]. Texas Instruments, 2018. Application Report SLUA887. [Consulta: 4 maig 2019]. Disponible a: <<http://www.ti.com/lit/an/slua887/slua887.pdf>>
- [27] *Design and Application Guide of Bootstrap Circuit for High-Voltage Gate-Drive IC* [en línia]. Fairchild Semiconductor, 2008. Application Note AN-6076. [Consulta: 4 maig 2019]. Disponible a: <<https://www.onsemi.cn/pub/Collateral/AN-6076.pdfJP.pdf>>
- [28] *LogiCore IP Fir Compiler 7.1. Product Guide* [en línia]. Xilinx, 2014. PG149. [Consulta: 8 març 2019]. Disponible a: <https://www.xilinx.com/support/documentation/ip_documentation/fir_compiler/v7_2/pg149-fir-compiler.pdf>
- [29] *Model-Based DSP Design Using System Generator* [en línia]. Xilinx, 2018. UG948 (v2018.1). [Consulta: 2 abril 2019]. Disponible a: <https://japan.xilinx.com/support/documentation/sw_manuals_j/xilinx2018_1/ug948-vivado-sysgen-tutorial.pdf>

[30] *IR2110 Datasheet* [en línia]. Infineon Technologies, 2005. [Consulta: 16 abril 2019]. Disponible a: <https://www.infineon.com/dgdl/ir2110.pdf?fileId=5546d462533600a4015355c80333167e>

[31] *IRF540N Datasheet* [en línia]. Fairchild Semiconductor, 2002. [Consulta: 20 abril 2019]. Disponible a: <https://media.digikey.com/pdf/Data%20Sheets/Fairchild%20PDFs/IRF540N.pdf>

[32] *Mola Kaluga* [en línia]. Mola, 2019. [Consulta: 30 maig 2019]. Disponible a: <https://www.mola-mola.nl/kaluga.php>

[33] *ST-10* [en línia]. NuPrime Audio, 2019. [Consulta: 30 maig 2019]. Disponible a: <https://nuprimeaudio.com/product/st-10/?v=04c19fa1e772>

Annexos

Els annexos no s'inclouen en aquest document i es presenten per separat. A continuació s'inclou la llista d'aquests per a una redirecció més còmoda:

- ANNEX A1: Projecte VHDL. Fitxer ZIP on es troba comprimit el projecte implementat mitjançant FPGA amb totes les entitats
- ANNEX A2: Esquemàtic digital. Fitxer PDF on es mostra la interconnexió entre les entitats utilitzades.
- ANNEX A3: Esquemàtic del circuit de sortida. Fitxer PDF que mostra el circuit conjunt de l'etapa de sortida de *driver* i transistors.